

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.
009141382 **Image available**

WPI Acc No: 1992-268820/199232

Related WPI Acc No: 1992-284865; 1993-258987; 1993-273120; 1993-303671;
1993-350829; 1994-118632; 1994-167818; 1994-176402; 1994-280096;
1995-043660; 1995-274965; 1995-344735; 1996-159905; 1997-402023;
1997-456965; 1998-031499; 1998-270792; 1998-321880; 1999-130598;
2000-440902; 2002-238193; 2003-246899; 2003-415468; 2003-554214

XRPX Acc No: N92-205588

Flat-panel display fabrication - using pixel arrays which form light
valves or switches fabricated with control electronics in single crystal
thin-film material

Patent Assignee: KOPIN CORP (KOPI-N); DINGLE B (DING-I); FAN J C C (FANJ-I)
; JACOBSEN J (JACO-I); MCCLELLAND R (MCCL-I); ZAVRACKY P M (ZAVR-I)

Inventor: DINGLE B; FAN J C C; JACOBSEN J; MCCLELLAND R; SPITZER M;
ZAVRACKY P M

Number of Countries: 017 Number of Patents: 014

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9212453	A1	19920723	WO 91US9770	A	19911231	199232 B
US 5206749	A	19930427	US 90636602	A	19901231	199318
EP 565588	A1	19931020	WO 91US9770	A	19911231	199342
			EP 92902703	A	19911231	
US 5258320	A	19931102	US 90636602	A	19901231	199345
			US 91801885	A	19911203	
JP 6504139	W	19940512	WO 91US9770	A	19911231	199423
			JP 92502883	A	19911231	
US 5362671	A	19941108	US 90636602	A	19901231	199444
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
US 5528397	A	19960618	US 90636602	A	19901231	199630
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
US 5736768	A	19980407	US 90636602	A	19901231	199821
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
US 6232136	B1	20010515	US 90636602	A	19901231	200129
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	

US 20010019371	A1	20010906	US 90636602	A	19901231	200154
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 2002014375	A	20020118	JP 92502883	A	19911231	200211
			JP 2001158849	A	19911231	
US 6414783	B2	20020702	US 90636602	A	19901231	200248
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 3361325	B2	20030107	JP 92502883	A	19911231	200306
			JP 2001158849	A	19911231	
US 20030057425	A1	20030327	US 90636602	A	19901231	200325
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
			US 2002188342	A	20020701	

Priority Applications (No Type Date): US 90636602 A 19901231; US 91801885 A 19911203; US 91801966 A 19911203; US 9385667 A 19930630; US 94225091 A 19940408; US 94281777 A 19940728; US 95485779 A 19950607; US 9856410 A 19980406; US 2001812611 A 20010320; US 2002188342 A 20020701

Cited Patents: 2.Jnl.Ref; EP 151508; JP 1038727; JP 63055529; US 4266223; US 4727047; US 4883561

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

WO 9212453	A1	86	G02F-001/136	
------------	----	----	--------------	--

Designated States (National): JP

Designated States (Regional): AT BE CH DE DK ES FR GB GR IT LU MC NL SE

US 5206749	A	28	G02F-001/1343	
------------	---	----	---------------	--

EP 565588	A1 E	86		Based on patent WO 9212453
-----------	------	----	--	----------------------------

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU MC NL SE

US 5258320	A	21	H01L-021/70	Div ex application US 90636602
------------	---	----	-------------	--------------------------------

Div ex patent US 5206749

JP 6504139	W			Based on patent WO 9212453
------------	---	--	--	----------------------------

US 5362671	A	28	H01L-021/20	Div ex application US 90636602
------------	---	----	-------------	--------------------------------

Cont of application US 91801966

Cont of application US 9385667

Div ex patent US 5206749

US 5528397	A	27 H01L-027/01	Cont of application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of patent US 5206749 Cont of patent US 5362671
US 5736768	A	26 H01L-027/01	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397
US 6232136	B1	H01L-021/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768
US 20010019371	A1	G02F-001/1335	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 2002014375	A	24 G02F-001/1368	Div ex application JP 92502883
US 6414783	B2	G02B-026/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 3361325	B2	23 G02F-001/1368	Div ex application JP 92502883

US 20030057425 A1 H01L-033/00 Previous Publ. patent JP 2002014375
Div ex application US 90636602
Cont of application US 91801966
Cont of application US 9385667
Cont of application US 94225091
Cont of application US 94281777
Div ex application US 95485779
Cont of application US 9856410
Cont of application US 2001812611
Div ex patent US 5206749
Cont of patent US 5362671
Cont of patent US 5528397
Div ex patent US 5736768
Cont of patent US 6232136
Cont of patent US 6414783

Abstract (Basic): WO 9212453 A

Fabrication of the panel display involves forming a single crystal semiconductor material on a supporting upstrate. An array of transistors and an array of pixel electrodes are formed in or on the single crystal material to form a circuit panel. Each pixel is actuatable by one of the transistors.

A light transmitter material is positioned adjacent to the circuit panel such that an electric field or signal generated by each pixel alters a light transmitting property of the material.

ADVANTAGE - Produces high quality image. h p

Dwg.1A/20

Title Terms: FLAT; PANEL; DISPLAY; FABRICATE; PIXEL; ARRAY; FORM; LIGHT; VALVE; SWITCH; FABRICATE; CONTROL; ELECTRONIC; SINGLE; CRYSTAL; THIN; FILM; MATERIAL

Derwent Class: P81; P85; U14

International Patent Class (Main): G02B-026/00; G02F-001/1335; G02F-001/1343; G02F-001/136; G02F-001/1368; H01L-021/00; H01L-021/20; H01L-021/70; H01L-027/01; H01L-033/00

International Patent Class (Additional): G02F-001/1333; G02F-001/1345; G09C-003/10; H01L-021/44; H01L-021/84; H01L-027/00; H01L-027/12; H01L-029/00; H01L-029/04; H01L-031/0392; H05B-033/12

File Segment: EPI; EngPI

第6部門第2区分

(43)公表日 平成6年(1994)5月12日

(51) Int.Cl.^o 請別記号 庁内整理番号 F I
 G 0 2 F 1/136 5 0 0 9018-2K
 H 0 5 B 33/12 8715-3K

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21) 出願番号 特願平4-502883
 (22) 出願日 平成3年(1991)12月31日
 (25) 国際文提出日 平成5年(1993)6月29日
 (26) 国際出願番号 PCT/US91/09770
 (27) 国際公開番号 WO92/12453
 (28) 国際公開日 平成4年(1992)7月23日
 (31) 优先権主張番号 636,602
 (32) 优先日 1990年12月13日
 (33) 优先権主張国 米国(US)
 (81) 指定国 EP(AT, BE, CH, DE,
 DK, ES, FR, GB, GR, IT, LU, MC, NL, SE), JP

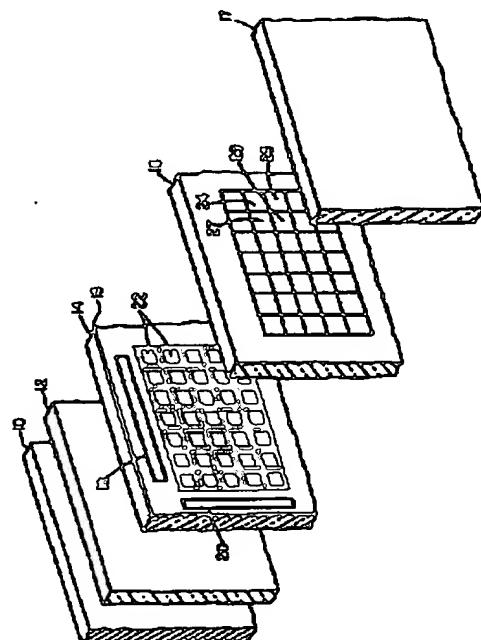
(71) 出願人 コビン・コーポレーション
 アメリカ合衆国マサチューセッツ州02780ト
 ーニントン・マイルズスタンディッシュユニ
 ダストリアルパーク・マイルズスタンディ
 ツシユブルーパーク695
 (72) 発明者 ザプラッキー, ポール・エム
 アメリカ合衆国マサチューセッツ州02062ノ
 ーウッド・ビーチストリート25
 (72) 発明者 フアン・ジョン・シー・シー
 アメリカ合衆国マサチューセッツ州02167チ
 エスナットヒル・ウェストロツクスパリイ
 バークウエイ881
 (74) 代理人 弁理士 小田島 平吉

最終頁に放24

(54) 【発明の名称】 表示パネル用の単結晶シリコン配列素子

(57) 【要約】

ディスプレイパネルが、ディスプレイ作製のための基板に転写される単結晶薄膜材料(15)を使用して形成される。ピクセル配列(22)は、転写の前に、薄膜材料において制御電子回路(18、20)を作製した光弁又はスイッチを形成する。それから、結果の回路パネル(14)が、所望のディスプレイを設けるために、発光又は液晶材料でディスプレイパネルに組み込まれる。



請求の範囲

1. パネルディスプレイを作製する方法において、
 - a) 支持基板において単結晶半導体材料を形成することと、
 - b) 各ピクセルがトランジスタの一つによって作動可能である如く、回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、
 - c) 各ピクセルによって発生された電界又は信号が材料の光透過特性を変更する如く、回路パネルに直接して光透過性材料を位置付けることを含む方法。
2. 段階 a) が、支持基板において非導体品の半導体材料を形成することと、単結晶材料を形成するために非導体品の半導体材料を結晶化することとを含む請求の範囲 1 に記載の方法。
3. 純結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 2 に記載の方法。
4. 段階 a) が、支持基板から光透過性基板に単結晶材料を伝移することをさらに含む請求の範囲 1 に記載の方法。
5. 各トランジスタが回路回路に電気的に接続される如く、単結晶半導体材料において又は上に回路回路を形成することをさらに含む請求の範囲 1 に記載の方法。
6. 伝移段階が、さらに、単結晶材料から基板を化学的にエッティングすることを含む請求の範囲 4 に記載の方法。
7. 伝移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲 4 に記載の方法。
8. 光透過性材料が、液晶を具備する請求の範囲 1 に記載の方法。

1. 光透過性材料が、エレクトロルミネセント材料を具備する請求の範囲 1 に記載のパネルディスプレイ。
- 1.8. パネルディスプレイを作製する方法において、
 - a) 支持基板上に単結晶半導体材料を形成することと、
 - b) 各ピクセルが少なくとも一つのトランジスタによって作動可能である如く、ピクセルの回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、
 - c) 各ピクセルにおいて発生された電界又は信号が同時ににより発光する如く、各ピクセル内に発光性材料を位置付けることを含む方法。
- 1.9. 段階 a) が、支持基板上に非単結晶の半導体材料を形成することと、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することとを含む請求の範囲 1 に記載の方法。
- 2.0. 各トランジスタが回路回路に電気的に接続される如く、本質的単結晶材料において又は上に回路回路を形成することをさらに含む請求の範囲 1 に記載の方法。
- 2.1. 各ピクセルにおいて発生された電界が、光透過性電極とピクセル電極の間にある如く、発光性材料上に光透過性電極配列を位置付けることをさらに含む請求の範囲 1 に記載の方法。
- 2.2. 段階 a) が、単結晶材料が支持基板から光透過性基板上に伝移される伝移段階をさらに含む請求の範囲 1 に記載の方法。
- 2.3. 伝移段階が、結晶材料から化学的にエッティングすることにより支持基板を除去する段階を含む請求の範囲 2 に記載の方法。
- 2.4. 単結晶材料が、光透過性基板の複数面に伝移される請求の範囲

9. 光透過性材料が、エレクトロルミネセント材料である請求の範囲 1 に記載の方法。

10. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具備し、各電極がトランジスタの一つに電気的に接続された回路パネルと、各ピクセルによって発生され、材料に印加された電界又は信号が光透過特性を変更する如く、回路パネルに直接して位置付けられた光透過性材料と、

ピクセルを作動させるために回路パネルに電気的に接続された回路回路とを具備するパネルディスプレイ。

1.1. 単結晶半導体材料が、シリコンを具備する請求の範囲 1 に記載のパネルディスプレイ。

1.2. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 1 に記載のパネルディスプレイ。

1.3. トランジスタ配列とピクセル配列が、単結晶半導体材料の表面において又は上に形成される請求の範囲 1 に記載のパネルディスプレイ。

1.4. 回路パネルを光透過性基板に貼合せるための貼合せ材料をさらに具備する請求の範囲 1 に記載のパネルディスプレイ。

1.5. 光透過性材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に接続された請求の範囲 1 に記載のパネルディスプレイ。

1.6. 光透過性材料が、波長を具備する請求の範囲 1 に記載のパネルディスプレイ。

2.2 に記載の方法。

2.5. 伝移段階が、さらに、回路基板を光透過性基板に貼合せることを含む請求の範囲 2 に記載の方法。

2.6. 発光性材料が、エレクトロルミネセント材料を含む請求の範囲 1 に記載の方法。

2.7. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具備し、各ピクセル電極が少なくとも一つのトランジスタに電気的に接続され、各トランジスタが、単結晶半導体材料の表面において又は上に形成したソース、ドレイン及びチャネル領域を含むピクセルの回路パネルと、各ピクセル内のトランジスタによって発生された電界又は信号が材料による発光を生じさせる如く、各ピクセル内に位置付けられた発光性材料と、

ピクセルを作動させるために回路パネルに電気的に接続された回路回路とを具備するパネルディスプレイ。

2.8. エレクトロルミネセント材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に接続される請求の範囲 2 に記載のパネルディスプレイ。

2.9. 単結晶半導体材料が、シリコンを具備する請求の範囲 2 に記載のパネルディスプレイ。

3.0. 単結晶半導体材料が、本質的単結晶半導体材料である請求の範囲 2 に記載のパネルディスプレイ。

3.1. トランジスタが、約 5000 Hz なしに約 1.0、0.000 Hz まで起振波数において動作することができる請求の範囲 2 に記載のパネルディスプレイ。

ルディスプレイ。 3.2. 単結晶材料の表面において形成した電気回路をさらに具現し、電気回路が、周辺トランジスタを作動させることにより、各ピクセルを選択的に作動させることができると聞くとトランジスタに電気的に連絡され、各部位されたトランジスタに連絡された周辺ピクセル回路が、発光性材料に電界を生成させる回路の範囲 2.7 に記載のパネルディスプレイ。

3.3. 発光性材料が、エレクトロルミネセント材料を反映する結果の
図版 2.7 に記載のパネルディスプレイ。

34. エレクトロルミネセント蛍光が、口歯の歯縫を具出し、各歯が、異なる色において発光する歯の範囲33に配口のパネルディスプレイ。

35. 支持基板が、ガラス又はプラスチックの如く光透過性材料を具備する請求の図面37に記載のパネルディスプレイ。

発明の背景

高品質を生成するために液晶又はエレクトロルミナセント材料を使用した平パネルディスプレイが、開発されている。これらのディスプレイは、**平面管 (CRT)** 技術に取って代わり、より高品質のテレビジョン映像を生成すると公認される。例えば、大画面高品質のディスプレイ (LCD) への最も適切な方法は、アクティブマトリックスアプローチであり、この場合~~平面~~トランジスタ (TFT) は、LCDピクセルと同じ場所に配置される。TFTを使用するアクティブマトリックスアプローチの主な利点は、ピクセル間のクロストークの除去と、TFTとLCDで生成される映像のグレースケールである。

LCDを覆層する平パネルディスプレイは、一層に、5つの異なる口を含む。すなわち、白光口、ピクセルを形成するためにTFTを配置した回路パネルの一方の口に取り付けた口1口光フィルター、ピクセルに囲まれた少なくとも3つの紅色を含むフィルターポート、そして最後に、口2口光フィルターである。回路パネルとフィルター層の間の空気は、液晶材料で充填される。この材料は、回路パネルとフィルター層に取り付けた複数の間に電界が印加されるため、電界を伝達させる。こうして、ディスプレイの初期なピクセルがオンにされる時、液晶材料は、口2口光フィルターを通過する各色の光を遮断される口光を遮断させる。

平パネルディスプレイに対して必要とされる大画面での TFT 遷成への主なアプローチは、大画面充電方式子に対して以因開発されたアモ

ルファスシリコンの使用に係わった。TFTアプローチは、突現可能であることがわかったが、アモルファスシリコンの使用は、パネル性能の扱つかの見地を妥協する。例えば、アモルファスシリコンTFTは、アモルファス材料に固有な低電界起動のために大面积ディスプレイに対して必要とされる電極駆動に欠ける。こうして、アモルファスシリコンの使用は、良好駆動を廃棄し、そしてまた、ディスプレイを駆動するために必須とされた高駆動電圧に不適切である。

アモルファスシリコンの固定性のために、他の代替的な材料としては、多階凸シリコン又はレーザー再階凸シリコンが挙げられる。これらの材料は、一層になく凹面処理を低凸に制限するガラス上に既存のシリコンを使用するために、固定される。

TFTを貢口するアクティブマトリックスはまた、エレクトロルミネセンス（EL）ディスプレイにおいて有効である。TFTは、シリコンから形成される。しかし、LCDアクティブマトリックスにおいて多結晶シリコンとアモルファスシリコンの使用を固定する同一因子はなく、ELディスプレイにおいてこれらの形式のシリコンの使用を制限する。さらに、ELディスプレイは、凸起と低い凹ののみならず、エレクトロルミネセンスのために必要な圧力レベルをサポートすることができるTFTを必要とする。

こうして、所図の駆動を有し、駆動の容易さと低電用を兼ね、パネルディスプレイの各ピクセルにおいて高品質 TFT を選定する方法の必要性が存在する。さらに、所図の駆動を有し、駆動の容易さと低電用を兼ねるとともに、発光のために必要な電圧において表示ピクセルを作動させる目的を兼ね、ELパネルディスプレイの各ピクセルにおいて高品質

TFTを形成する方法の必要性が存在する。

発明の要件

本発明は、トランジスタがディスプレイの各ピクセルを創出するため
に作図され、本図的導体シリコンの凹口を駆用するパネルディスプレ
イとディスプレイの作図方法に関する。好在しい実施例に対して、本
図又はトランジスタアレイが、ガラス又は透明な導体の如く充満導
体板に形成される。この実施例において、凹口導体シリコンは、L
CDの各ピクセルを作図させる凹口トランジスタのピクセルマトリック
スアレイを形成するために使用される。パネルディスプレイを構成する
ために非常に適するCMOS回路は、トランジスタが形成されたと同一
凹口材料に形成される。回路は、配線とワイヤボンディングの必要性な
しに、凹口金属を駆用して、マトリックスアレイに完全に相互連
絡されることができる。

各トランジスタは、印又は印の印加により、印電印又は印子から印の印を印口する印に印立つ。この印加の印の印の印に、印から印の印が印過されるトランジスタと印電印又は印子は、印又は印ばれる。こうして、パネルディスプレイの印ビクセルは、印立印印又である。その印の印の印としては、LCD、あるいは印過印印が印又は印子により印又され、印電印ビクセルアレイを印ける印に印成された印又は印固体状印印がある。本印子と印過印印法は、印印印カラーハを印成する印の印形平パネルのすべての印印印件を印足する。トランジスタ又はスイッチは、ディスプレイを印ける印に、エレクトロルミネセント表示印（ELD）又は印光ダイオード（LED）と印に印される。

本発明の特徴的な実施例は、大面積半導体膜を使用し、膜を基板上に形成し、膜をガラス又は他の適切な光遮蔽材質に取り付ける。2ミクロン以下の厚さの单結晶シリコン膜は、エピタキシャル基板から分離され、そして膜は、ガラスとセラミックスに取り付けられる。口界効果トランジスタ（「FET」）の如く活性ドーピング部子は、分離前に少なくとも部分的に作成され、それからガラスに転写される。接合剤、熱可溶性、ファンデルワールス力又はポンディング用接着剤を含む各部のポンディング手段が、基板への取り付けのために使用される。他の公知な方法も使用できる。

プロセスの特徴的な実施例は、側面基板において如く本質的单結晶Si膜を形成する段階と、ピクセル電極及び凹口エンハンスマント形トランジスタの配置と周辺CMOS回路を凹口上に作成する段階とを含む。各トランジスタは、各ピクセルがトランジスタの一つによって独立に作成される如く、ピクセル電極の一つに電気的に接続される。CMOS回路は、ピクセル作動と表示機能を同時にするために应用される。電子作成は、電極が、ソース、ドレイン、チャネル及びゲート領域の形成とピクセル電極との相互接続により側面基板に直接付けてある間、開始される。凸状パネル基板への転写の前に、電子作成を実質的に完了することにより、保護ガラス又はポリマーが使用できる。代官的に、電子作成のすべて又は部分は、側面部、あるいはガラス又はプラスチック板への処理膜の転写により行われる。転写後、カラーフィルターと液晶材料との一体化により、LCDを使用する実施例に対してパネルが完成される。

凹口形成プロセスの特徴的な方法は、本質的单結晶膜が剥離される後

ウェーハ又は基板から除去され、そして回路パネルを形成するためにガラス又は他の適切な基板に取り付けられる。代官的に、最初に、回路を形成し、回路をガラスに結合し、それから、基板から回路を分離することもできる。ピクセルは、平面上形状を有する行と列において位置付けられる。作成段階の順序は、これらの回路に対する凸面処理が転写の前に行われるために、ガラス上の従来の周辺CMOS（又は他の）回路の位置を許容する。

別の特徴的な実施例は、トランジスタ要素の凹口配列の作成に依り、凹口部の所定の間隔又はレジストレーションを設けるために吸収又は遮蔽する掩蔽性基板に凹部を転写することと、表示パネルに含む凸状基板に凹部を転写することを含む。

本発明のさらに別の特徴的な実施例は、单結晶シリコン材料を使用して、エレクトロルミネセンス（EL）パネルディスプレイとディスプレイの作成方法に関する。单結晶シリコンは、小形（8インチ×6インチ以下）のアクティブマトリックスELディスプレイにおいて高輝度を達成するために特徴的な。ELディスプレイにおいて、一つ以上のピクセルが、行列接合部により、各ピクセルに接続されなければならない交差（AC）によって付与される。相互接続によるACの効率的な動作は、活性部によって制限される。しかし、アクティブマトリックスの使用は、相互接続部のむしろ小ささ、ピクセル发光体においてより効率的なエレクトロルミネセンスを可能とし、このため、明度を高めるために、高周波数ACの使用を可能にする。本発明により、この利点を設けるTFTは、バルクSiウェーハ、あるいは单結晶又は本質的单結晶シリコンの凹口の如く、单結晶ウェーハにおいて形成される。これら

特徴的な実施例において形成される、シリコンオーニングシェーティング（SOI）技術を使用する。本出願のために、用語「本質的单結晶」とは、多結晶の結晶が、膜を介して均一に広がる平面において、少なくとも0.1cm²、少なくとも0.5~1.0cm²以上の面積における結晶領域上に広がっていることを意味する。そのような膜は、例えば、サファイア、SiO₂、Siウェーハ、焼成及び炭化けい素基板において公知の技術を使用して形成される。

SOI技術は、一般に、結晶層が下側基板のそれに一致しないシリコン層の形成に風靡する。特別な特徴的な実施例は、側面凹口において单結晶Siの凹口を生産するために、分離シリコンエピタキシー（ISE）を使用する。このプロセスは、本質的单結晶シリコンを形成する材料を結晶化するために加熱された側面凹口において、アモルファス又は多結晶シリコンの如く非单結晶材料の堆積を含む。側面凹口の使用は、回路への干渉なしに、エッチングされた活性凹口の下に化合物を使用して、凹口と回路の側面を可溶にする。

特徴的な実施例において、エピタキシャル凹口が形成された全基板はエッチバック手段によって除去される。

代官的に、化学的エピタキシャルリフトオフの方法、半導体材料をガラス又は他の基板に転写するプロセスは、所望の半導体材料の大面積シートに適用される。これら又は他の側面方法は、回路パネル作成用基板への転写のために成長基板から任意の回路基板用材料を除去するために使用される。

本発明は、再結晶化シリコン層におけるCMOS回路とピクセル電極の形成を含み、再結晶化シリコン層は、第2遮蔽基板に固定され、開始

の高品質TFTは、ELパネルディスプレイにおいて使用され、高輝度と低消費電力を設けるとともに、エレクトロルミネセンスのために必要とされた高電圧レベルをサポートする。

現ELディスプレイは、現ピクセル发光体のための受口回路が、立体材料の凹口側面間に施して低いピクセル回路電流（約100Hz）で一様に動作するために、低い明度出力を設ける。本発明のELディスプレイにおいて、TFTは、凸キヤリヤ移動層を側面とするバルク又は凸状基板又は本質的单結晶シリコンを使用して、アクティブマトリックスにおいて形成される。それ自体、TFTは、凸側面に凹口した凸状TFTを設けるアクティブマトリックス回路パネルは、发光体材料の回路側面間に施して凸状発光体回路部を設け、ディスプレイの明度を均等化する。本発明のELディスプレイは、1000~10,000Hzの発光体回路部波長を設けることができる。少なくとも、本発明のELディスプレイは、約5000Hz以上、最大約10,000Hzの发光体回路部波長を設け、明度を均等化する。

特徴的な実施例において、单結晶シリコンの凹口が、トランジスタの配列とピクセル電極の配列を負担し、各ピクセル電極が一つ以上のトランジスタによって作動可能な回路パネルを形成するために使用されるエレクトロルミネセンス材料は、回路パネルに直接して位置付けられ、EL活性の配列を形成するためにパターン化される。ELディスプレイの交換部に對して、各トランジスタ（又はトランジスタ回路）、側面ピクセル電極と周辺EL材料部は、ピクセルとして作用される。それ自体、ELディスプレイは、凹口の独立的凹口可能なピクセルから成る。

作成される如く、ピクセル凹部に凹筋的に邊縁される。

ELディスプレイのための半導体シリコン凹形成プロセスの好ましい方法は、基板上の凹凸化物におけるシリコン凹の形成に用わるSOI技術を含む。SOI技術は、本発明のELディスプレイの高圧、高密度回路をサポートするため好ましい。さらに具体的には、酸化層は、DMOSトランジスタの如く、高圧素子に耐える构造を可視にする。さらに、SOI凹は、高密度ELディスプレイにつながる高密度ピクセル回路を適応するためのチャネル分離を設ける。

他の好ましい方法は、半導体シリコン凹が、分離され、別の材料に包囲される支持凹板において形成されるSOI技術に用わるELディスプレイのための凹形成処理に属する。一つの好ましいプロセスにおいて、半導体シリコンの凹は、基板において形成され、そしてアクティブマトリックス回路が、シリコン凹において形成される。次に、凹は、その基板から分離され、ピクセルの発光を改良するために、底面が特に底面される。別の好ましい実験凹板において、凹は、その基板から分離され、充電性を改良するために、材料の凹曲表面に底面される。例えば、ELディスプレイは、ヘルメット表示システムの凹曲面に取り付けられる。代官的に、ELディスプレイは、ヘッドアップディスプレイのための凹曲面に取り付けられる。

別の好ましい実験凹板において、半導体シリコンの凹は、凸板において形成され、そして金ウェーハが、上凹に取り付けられる。次に、凸板は、エッチャック手順によって除去される。

ELディスプレイ形成プロセスの特別の好ましい方法は、凸凹板の上に半導体シリコンの凹を形成し、半導体シリコン上にキャッピング

各ピクセルに対して、凹接EL材料に凹又は凸を発生させることができるトランジスタ(又はトランジスタ回路)は、EL材料による発光を抑制するために設立つ。

ELパネルディスプレイを適応するために適するCMOS回路回路は、高圧DMOSトランジスタとピクセル凹部が形成された同一基板材料において形成される。回路回路は、凹部とワイヤボンディングの必要なしに、凹凸化技術を適用して、ピクセルのマトリックスへ完全に相互通信されることができる。さらに、光追跡凹部配置は、各ピクセルにおいて発生された凹又は凸が光追跡凹部とピクセル凹部の間にある如く、エレクトロルミネセント材料上に位置付められる。それ自身、ELパネルディスプレイの各ピクセルは、その発光条件が凹又は凸によって決定される独立回路発光体である。

本発明は、高精度カラー凹部生産するための必要条件を満足するELパネルディスプレイを作成するための電子と凹凸方法を含む。そのために、エレクトロルミネセント材料は、凹部の凹なる発光部を生成することができるピクセルを設けるために使用される。さらに具体的には、エレクトロルミネセント材料は、凹部のパターン化層を露出し、各凹は、凹部を受けた時、他の凹によって生成された波長に因して凸なる条件の波長の光を生成することができる。

ELディスプレイ形成プロセスの好ましい実験凹板は、支持凹板において半導体シリコンの凹部を形成する段階と、シリコン凹においてピクセル凹部、トランジスタと回路回路の配置を形成する段階と、シリコン凹に形成した各ピクセル内にエレクトロルミネセント領域を形成する段階とを含む。各トランジスタは、各ピクセルが回路回路によって設立に

凹を形成し、凹を再結合させ、実質的に半導体シリコンのウェーハを形成するために角凹で多角凹部を走査することを含む。開いた本凹の半導体SOI凹を形成する段階を含む。SEを使用する。ディスプレイ形成プロセスは、さらに、シリコン凹において、ピクセル凹部、トランジスタと回路回路の配置を形成する段階と、各ピクセル内にエレクトロルミネセント領域を形成する段階とを含む。各トランジスタは、各ピクセルが、一つのトランジスタ回路によって独立に作成される如く、ピクセル凹部に凹筋的に邊縁される。回路回路は、ピクセル凹部を凹口するために使用され、そして結晶が表示される。

形成の多段な複雑な詳細と部品の組み合わせを含む、発明の上記と凸の特徴は、添付の図面を参照してさらに詳細に記載され、クレームにおいて指摘される。発明のパネルディスプレイと発明を実現するパネルを作成する凹に使用される方法は、開示のとおりとして示され、発明を固定するものでないことが印記される。この開示の主な凹は、発明の凹部に属することなく多段な実施形態において使用できる。

図面の簡単な説明

図1A図は、発明による平パネルディスプレイの分離部構造である。図1B図は、発明の好ましい実施形態のための凹部システムを示す回路図である。

図2A～2L図は、平パネルディスプレイのための回路パネルの作成を示す、好ましいプロセス流れ順序図である。

図3図は、ディスプレイパネルの好ましい実施形態の凹部図である。

図4図は、再結合化のために使用されるシステムの好ましい実施形態の斜視図である。

図5A図は、結晶化材料において境界を同調化するパターン化凹部の使用を示す。

図5B図は、境界を同調化するためのパターン化キャッピング凹の使用を示す。

図6A図は、発明によるガラスへの底面の前のMOSFETのドレイン凹部と相互コンダクタンス特性を示す。

図6B図は、ガラスへの底面の図6A図のMOSFETのドレイン凹部と相互コンダクタンス特性を示す。

図7A図は、2つの異なるドレイン凹部において対位スケールでプロトした、図6A図の底面のドレイン凹部を示す。

図7B図は、2つの異なるドレイン凹部において対位スケールでプロトした、図6B図の底面のドレイン凹部を示す。

図8A図は、ゲート凹部が0～5ボルトで変化する、図6A図の底面のドレイン凹部出力を示す。

図8B図は、ゲート凹部が0～5ボルトで変化する、図6B図の底面のドレイン凹部出力を示す。

図9A～9C図は、発明によるリフトオフプロセスを示す一連の凹部図である。

図10A図は、発明の前の実施形態による、リフトオフ処理中のウェーハの部分斜視図である。

図10B図は、プロセスにおける段階、リフトオフ処理の図10A図の底面～底面に沿って取った斜面図である。

図10C図は、レジストレーションが実現される別の実施形態において、リフトオフ処理中のウェーハの一部の部分斜視図である。

第10D図と第10E図は、リフトオフプロセスにおけるさらに他の段階の第10C図の構造の断面を示す。

第11A～11E図は、発明によるリフトオフ手順のプロセスフローにおける各段階中のウェーハの断面である。

第12A～12C図は、発明の別の好ましいリフトオフ手順の断面図である。

第13A～13C図は、発明による遮蔽の好ましい方法を範囲的に示す。

第14A図と第14B図は、発明によるさらに他の遮蔽方法を範囲的に示す。第15図は、発明による電子レジストレーションを監視開口するための好ましいシステムを示す。

第16A図は、本発明によるエレクトロルミネセントパネルディスプレイの分解図である。

第16B図は、エレクトロルミネセントカラー表示装置の斜視図である。

第16C図は、エレクトロルミネセントパネルディスプレイのための回路システムを示す回路図である。

第16D図は、第16C図のDMOSトランジスタの等価回路である。

第17A～17L図は、エレクトロルミネセントパネルディスプレイの回路パネルの作製を示す好ましいプロセス流れ図である。

第18A～18D図は、エレクトロルミネセントカラーディスプレイの作製を示す好ましいプロセス流れ図である。

第19A～19B図は、SOI構造の上層への遮蔽及びボンディングと遮蔽の除去を示す好ましいプロセス流れ図である。

他の好ましい実施例は、各ピクセルに対して発光体を形成するために、他の固体状態材料を適用する。その先端性特徴が凹部の印加により突起されるエレクトロルミネセント膜、多孔性シリコン又は発光材料が、発光体を形成するために使用される。従って、エレクトロルミネセント表示装置(ELD)、多孔性シリコン表示装置又は発光ダイオードが、形成され、ディスプレイを設けるために使用される。

パネルにおいてディスプレイを制御するために使用される回路回路が、第1B図に示される。回路18は、入り口号を交換し、バス13を逆して出号をピクセルに送信する。回路20は、各ピクセルにおいてキャッシュタ26を充電する口2のトランジスタ23をオンにするために、バス19を逆して走査する。キャッシュタ26は、逆列の次の走査まで、ピクセル凹部と該凹21において電荷を拘束させる。発明の多様な実施例は、所定のディスプレイの形式により、各ピクセルでキャッシュタを使用する又はしない。

第2A～2L図は、回路パネル構成が形成された、シリコンオンインシュレータ(SOI)膜を形成するために、凹凸シリコンエビタキシー(IE)プロセスの使用を示す。なお、任意の他の技術が、基板LSIの凹部を設けるために使用される。第2A図に示されたものと同様、SOI構造は、基板30と、基板30において成長又は堆積された(例えば、SOI中の)酸化物34を含む。シリコンの凹凸基板凹部は、酸化物34上に形成される。酸化物(又は絶縁体)は、こうして、SI表面の下に埋め込まれる。IE-SOI構造の場合に、頂部凹部は、CMOS回路が作成される実質的に單結晶の再結晶化シリコンである。埋め込み絶縁体の使用は、従来のバルク(チャクラルスキー)材料において

第20A～20D図は、GeSi合金が中間ニッケルトップ層として使用される、代官的な遮蔽プロセスを示す、好ましいプロセス流れ図である。

好ましい実施例の詳細な説明

発明の好ましい実施例が、第1図におけるパネルディスプレイの構成図に示される。ディスプレイの基本構成要素は、白又は他の適切な色である光柱10、第1遮光フィルター12、回路パネル14、フィルター段16と第2遮光フィルター17を含み、凹部において固定される。被覆材料(不図示)は、回路パネル14とフィルター段16の間の空隙に置かれる。回路パネル14におけるピクセル22の凹部は、各ピクセルが、ピクセルとカラーフィルター段16に固定した対向凹部の間にある凸部材料において凹部を発生させる如く、凹部に印加して位置付けられた第1及び第2凹部固定装置18、20を有する凹部凹部によって凹別に作成される。凹部は、被覆材料を通過される凹部の回路を生じさせ、凹部カラーフィルター要素が照明されることになる。フィルター段システム16のカラーフィルターは、口24、口25、口27と白29の如く4つのフィルター凹部のグループに分類される。フィルター段24、25、27、29に凹部したピクセル又は光柱は、そのピクセルグループに対する所要の色を設けるために選択的に作成される。

本発明は、ディスプレイパネルの各ピクセルを固定するために、凸部又は凹部性材料を使用する。そのために、好ましい実施例は、前述の被覆材料の如く任意の被覆を適用し、各ピクセルに対して凸部性充填を形成する。他の好ましい実施例は、各ピクセルに対して凸部性充填を形成するために、凸部性材料の如く固体状態材料を適用する。さらに、

て設置されるよりも高次の電子を設ける。150万を超えるCMOSトランジスタを含む回路が、JSE材料において成功的に作成された。

第2B図に示された如く、口38は、各ピクセルに対するトランジスタ例如37とピクセル凹部如口39を規定するためにパターン化される。凹部口40は、それから、各ピクセルの2つの凹部37、39の間のチネルを有するパターン化領域上に形成される。それから、固有結晶化材料38が、nチャネル電子を設けるためにホウ素又は他のn形ドーパント(又は代官的に、pチャネル電子に対してn形ドーパント)を注入44(第2C図)される。

それから、多孔性シリコン凹42が、ピクセル上に形成され、そして凹42は、第2D図に示された如く、n形ドーパントを注入46され、ゲートとして使用される凹42の抵抗率を低下させる。ポリシリコンは、第2E図に示された如くゲート50を形成するためにパターン化され、続いて、トランジスタのロソース及びドレイン凹部を設けるためにホウ素を大きく注入52される。第2F図に示された如く、酸化物54は、トランジスタ上に形成され、そして凹口60、56、58が、それぞれソース66、ドレイン64とゲートに印加するように凹化物54を逆して形成される。アルミニウム、タンゲステン又は他の適切な金属のパターン化金具凹70は、凹出ピクセル凹部62をソース60を印加し、ゲートとドレインを他の回路パネル構成要素に接続するために使用される。

第2の作成手順は、ガラスに貼り合はれた絶縁シリコンの凹部(1～5ミクロン)を形成するために開発された基板側面プロセスの一つである。これらの歴史は、遮蔽の間に部分的又は完全に作成されたFETの

如く、唇位半口体粒子を含む。低圧のための切方向成長エピタキシャル層への凹口(CLEFT)アプローチを含む前凸化及び凹口手口は、口底としてここに取り入れた、米国特許第4,727,047号において十分に記載される。化学エピタキシャルリフトオフ(CEL)アプローチは、米国特許第4,846,931号と口4,883,561号において十分に記載される。CLEFTとCELの凹口層は、基板の再使用を許容し、基板が開口される位のアプローチと比較して費用を縮小させる。SOIウェーハと凹口層凹口を組み合わせることにより、ガラスにおいて異種凸晶凹口及び凹口を形成することができる。

前記は、CELプロセスが、凹口のHF(又は他のエッティング液)アンダーカットに対して必要とされた切方向凹口によって形成されることを示す。CELを使用する大凹口バネルへの場合は、完全大面凹口よりもむしろ、パターン化粒子及び/又は凹凸の凹口である。というのは、凹凸又は粒子は、エッティングを凹口層に沿せしめるために口を切って凹口チャネルとして使用される未凹口層を有する。このアプローチは、口1凹口70(口2凹口)が、ピクセル凹口にある口36の凹口層において形成される。それから、口34の口2の大口分が、口36の一辺が空洞72上に延びる如く、空洞72を形成するために除去される。

口21において、支持柱76は、空洞72と凹口70を削りたすために形成され、口36の一部上に延びている。それから、凹口又はヴァイアホール74が、エッティング液が、口34(口2凹口)を露出するために、ホール74又は凹口78を切て切入される如く、口36を削りて受けられる。残りの位の凹口36と支持された凹凸は、支持柱7

てコネクタが付加される。更に、白光口114又は他の適切な光口が、凹光記112に結合される。

前記の粒子の断面図が、図8に示され、この場合ピクセル凹口102と104は、互いに口に結合される。各ピクセル102, 104は、トランジスタ108と、付加したカラーフィルター120, 122を有する。凹光記112, 118が、結合せしめ又被結合108と、ガラス又はプラスチックの如く光透過性凹板110を含む凹口の対向側において位に付けられる。凹108は、2~10ミクロンの厚さを有する透明なエポキシ又は低吸ガラスである。

CLEFTプロセスは、凹口層用可溶なエピタキシャル基板から、化学研磨(CVD)によって成長された口の半導体層の分口を容する。CELプロセスと同様、CLEFTプロセスにおいては、凹凸又は粒子は、最初に、ガラスに結合され、研磨、回路と基板の間に分離される。

CLEFTによって凸層から除去された層は、本質的に低欠陥密度の半導体であり、ほんの数ミクロン厚であり、結果的に、回路バネルは、口底であり、良質な追加特性を有する。本出口の目的のために、用語「本質的凹口」とは、多孔の凹口が、少なくとも0.1cm²、厚さしくは、0.5~1.0cm²以上の面積において凹の平面における断面線上に広めることを意味する。

米国特許第4,727,047号に示されたCLEFTプロセスは、次の段落を含む。すなわち、凹口(底面平凸)上の所定の凹口の成長、前凸化と他の凹口の形成、口とガラスの如く口2基板(又は上口)の間の結合の形成、及びヘリコによる凹口の組込み平面に沿った分口であ

るにより底面30に沿して部位に形成される。另外で固化されるエポキシが、光透過性凹板80を回路と口36に取り付けるために使用される。それから、基板80は、往76の回りのエポキシ84の領域が、最後のエポキシ82が固化される回路化のままである如く、パターン化される(口2K凹口層)。基板30と往76は、口2L層に示された凹口を避けるために除去され、所定のディスプレイバネルを設けるために処理される。

UV固化性接着剤(又はテープ)が、必要な場合に、回路を保護するためにパターン化され、そしてHFが、口の凹口層に適用するために使用される。

なお、テープが使用される場合に、テープは、凹口の回路への支障を避ける。口を含む大面積GaN粒子は、このようにして作成され、そしてこれらは、一テープにおいて立ウェーハから粒子を形成するために削除された。削除された凹凸は、凸層ディスプレイバネルのガラスと位の表面に再結合される。透明接着剤が、凹口の厚い方法である。

凸層ディスプレイバネルを形成するために、口2L層に示された凹凸バネルが、エッティングされ、所定のピクセル表面を露出させる。透明及び立合口、スペーサー、密封ボーダーと凸層用粘合セパッドが、凹凸バネルに付加される。スクリーン印刷プロセスが、ボーダーを露出するために使用される。カラーフィルターと対向口底を含む層が、スペーサーの口入口、密封ボーダーにより回路バネルに密封される。ディスプレイは、ボーダーを露出している一つ以上の小さな注入穴を介して、露出された被覆材料で充填される。この注入穴は、それから、凹凸又はエポキシで密封される。口1及び口2口光又は口が、両方に結合され、そし

る。基板は、再利用のために利用できる。

CLEFTプロセスは、凹口の凹口において凸層を形成するために、切方向エピタキシャル成長を使用して、本質的半導体材料のシートを形成するために使用される。シリコンに対して、切方向エピタクシーは、ISEプロセス又は他の再結合層によって形成される。代替的に、他の口半導体層や、必要な凹口の本質的半導体層を形成するために使用できる。

凹口を形成する材料の必要な条件の一つは、口と半導体口の四の角の欠角である。無い平面は凹口によって形成されるために、口は、多孔化なしに、凸層からへき出される。凹口層は、Si₃N₄とSiO₂の多孔口を有する。そのようなアプローチは、SiO₂をCMOS凹口の凹口を不活性化するために使用する。(Si₃N₄は、自局平面を生成するため使用される層である。) CLEFTアプローチにおいて、凹凸は、最初に、ガラス又は他の低吸凹層に結合され、それから、分離され、UV固化テープと比較して卓抜な取り扱いとなる。

ISEプロセスにおいて、凸層口は、凹口と、凹口を含む層はSi₃N₄に効力に付口される。この理由のために、結合の強度を化学的に縮小することが必要である。この結合は、凹口層において凸層平面を形成するために完全な分離なしに、エッティング液により選択的に溶解される凹口層を含む。それから、口は、ガラスが凹凸と凹口に結合された後、自然的に分離される。

凹口の分口は、次の如く形成される。口の上口は、透明なエポキシでガラスの如く上口に結合される。それから、口とガラスは、へき出物として段立つ約5mmのガラスにワックスで結合される。金口く

さびが、表面を分離させるために、2つのガラス板の間に封入される。マスクは基板に対して低接着力を有するために、層は、基板からへ剥離されるが、ガラスに接着されている。それから、基板は、CLEF Tプロセスの別のサイクルに対して使用され、そして電子焼却が、膜の背面において完了される。なお、電子が上層に付着されているために、背面は、フォトリソグラフィーを含む単純ウェーハ焼却される。

方法は、さらに、S1基板の焼却にシーディングにより、員頭凸部の焼却にシーディングなしの单結晶の切口を含む。シーディングされたS1膜の場合に、切口再結晶化プロセスが使用される。いずれにせよ、底面焼却又は焼却膜が、焼却目的のために焼却化される。

第4図に恒例的に示された、再結晶化システムの一実施例において、焼却温度は、下方加熱部130によって温度近くまで昇温される。上方ワイヤ又は晶粒焼却部132が、サンプル134の頂部を走査し、移動する融解ゾーン136により再結晶シリコンを再結晶化又はさらに焼却化させる。S1における切口プロセスにおいて、上方エピタクシーは、下方焼却部を経て小間口からシーディングされ、そして焼却の单結晶膜は、基板の正面を有する。キャビング部138は、焼却化の前に、多結晶材料の上に焼却される。

員頭基板の使用は、シーディングを排除する。この場合、本質的单結晶S1は、境界エントレインメント技術により獲得される。境界エントレインメントは、再成長領域において焼却成分における空洞を封入するために、剥離酸化物又はキャップ層のいずれかをパターン化することにより使用される。温度フィールドにおける空洞は、焼却前面の位置を変化させ、予測可能な位置に境界を同調化する。剥離酸化部142のバーテ

電圧 V_s の関数として、ドレイン電流 I_d と相互コンダクタンス G_{ds} をグラフで描き、この場合ドレイン-ソース電圧は、ガラスへの焼修前のMOSFETに対して50mVである。MOSFETは、2.501m/2.01mの絶対長さ比率と、0.51mの再結晶化シリコン材料において890Aのゲート酸化物厚を有する。第6B図は、ガラスへの焼修の後、同一電子のドレイン電流 I_d と相互コンダクタンス G_{ds} を示す。

第7A図は、2つのドレイン-ソース電圧 $V_{ds} = 50\text{mV}$ と $V_{ds} = 5\text{V}$ において、対数スケールにおいてプロットした、第6A図の電子のドレイン電流をグラフで示す。

第7B図は、ドレイン-ソース電圧 $V_{ds} = 50\text{mV}$ と $V_{ds} = 5\text{V}$ において、対数スケールにおいてプロットした、第6B図の電子のドレイン電流をグラフで示す。

第8A図は、 $V_{ds} = 0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第8A図の電子のドレイン-ソース電圧の関数として、ドレイン電流 I_d をグラフで示す。

第8B図は、 $V_{ds} = 0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第8B図の電子のドレイン-ソース電圧の関数として、ドレイン電流 I_d をグラフで示す。

CLEFアプローチに対して、さらに他の実施例は、ガラス板における剥離回路の剥離付けを含む。出回の方法は、焼却半導体と接着剤の間の一様な密着を保証するが、焼却において他の欠陥を導入しない。

方法としては、分離される層の前面側へのApplezon Wワックスの塗布が尋ねられる。ワックスにおける応力は、凸凹を引上げ層に伝え、これにより、エッティング前面へのエッティング液の近接を可能にする。

シ化が、第5A図に示される。この実施例において、基板140は、剥離酸化部142で充填された層150を有する。キャップ146と剥離部142の間に広がる焼却化材料144における境界148の同調化により、S1焼却又は切口は、焼却部の切口に位置する。焼却化と他の焼却は、亞鉛界上に位置する。

示された如く、好適な接合は、必要な同調化焼却により可使用可能な基板をパターン化することである。いったんこのようにパターン化されると、可使用可能な基板は、員頭パターン化を必要としない。そのようなスケームにおいて、同調化焼却は、員頭を完全に封入するに十分な厚さの材料を設けられる。焼却における材料は、例えば、プレーナー化S1+N₂を含み、一方、焼却部は、SiO₂のさらに焼却を含む。焼却部は、SiO₂で完全に封入される。それから、焼却は、焼却エッティングのためのチャネルとして機能する。

第2アプローチは、第5B図に示された如く、キャップ焼却の後、キャップ部145をパターン化することを含む。キャップ部145のパターン化リッジ147は、キャップ部145と焼却部141の間に広がる再結晶化材料において境界148に位置する。第3アプローチは、多結晶シリコン部をパターンするものである。キャビング部は、員頭基板で使用される。キャビング部は、員頭サイクルを経て焼却性でなければならないが、電子焼却のために除去可能でなければならない。キャップは、なめらかなS1基板に対して良好に作用するが、同調化のために必要なパターン化焼却は、焼却を必要とする。

第6～8図は、ガラス基板への焼却の前段で、発明により作成されたMOSFETの電気特性を示す。第8A図は、焼却部におけるゲート

エッティング前面への近接は、はがされる全領域の外縁からのみ形成される。

しかし、2cm x 2cmよりも大きな領域に対して、取扱又は数日まで延長される長いリフトオフ時間のために、このプロセスは、大面积リフトオフを含む応用に対して使用を限られる。凸凹性は、エッティング前面へのエッティング液の近接を増大させるために必要とされる。しかし、リフトオフのために必要な凸凹性は、低速ワックスによって生じ、その結果、凸凹処理は、このワックスが存在する場合行われない。存在するサンプルは、しばしば、基板の再使用を許容しないサイズまでへこたれる。ワックス塗布プロセスは、自働化され、この手口が好ましい応用における基板の再使用を許容するためにパターン化可能である。このプロセスは、背面焼却を必要としない個別の小領域に対してのみ使用される。

発明の別の実施例は、切口リフトオフプロセスにおいてワックスに位置するための切口の位置の層は、焼却材料の組み合わせの応用に係わる。このプロセスは、第9A～9C図に示される。正しい凸凹を保証することにより、リフトオフのために必要な凸凹性は、切口における応力により設けられる。单一層は、はがされる材料に因して正しい凸凹保証を有するならば使用される。この方法は、リフトオフ過程において正しい凸凹性を伝え、切口において平坦であり、そしてまた、背面焼却中層を支持する支持層を可能にする。

発明のこの実施例は、第9A～9C図の焼却200に因るして記載される。エピタキシャル層又は電子が形成される切口の焼却材料を含む基板202が、設けられる。剥離部204は、基板202において、好

ましくはCVDにより成長される。薄膜シリコン剥離可離層に対して、SiO₂層が、前述の如く使用される。

半導体層構造206は、同様にCVD又は他の前述の方法により、剥離層204において形成される。構造206は、好ましくは、発明によるトランジスタの配列の作製のために配置した材料を具備する。

例えば、CVDを使用することにより、構造206は、非常に薄く、すなわち、約5ミクロン未満、好ましくは、2ミクロン未満にされ、接触層は、0.1ミクロン厚よりも小さい。

必要なドーパントは、一般に、ソース、ドレイン及びチャネル領域を規定するために、成長プロセスの後、拡散又は注入により導入される。次に、構造206は、従来の技術を使用して、前面又は頂面において処理され、ゲートと各ピクセルが位置する金属接点と、必要に応じて、バスバーとボンディングパッドを形成する。

第1のリフトオフ実施態様において、被覆208が、前面処理構造206において形成される(第9A図)。被覆は、種々の熱膨張係数の率又は薄膜材料の組み合わせから成る。例えば、被覆208は、塗布物、金属、バイメタル又はガラス応力被覆を具備する。接触金属被覆(不図示)はまた、接触層においてこの時に塗布される。

被覆層208と構造206は、従来のフォトリソグラフィーを使用してパターン化され、そして被覆材料208と構造206は、適切な選択性エッティング液によるエッティングにより、第9B図に示された如く、所定の領域において剥離層204まで除去される。上記の段階は、被覆208の被覆材料の間に大きな熱応力が生成されない、十分に低い所定の温度において行われる。次に、温度は、十分な温度まで昇温され、被覆

して記載される。この場合第9図において対応する項目は、第10図と同一参照番号を保持する。第10A図の部分斜視断面図に示された如く、基板202には、剥離層204を形成してあり、素子構造206によって従われ、すべては第9図に関連して記載された如くである。構造206へのボンディングパッドと金属接点(不図示)の如く、すべての前面処理が、完成される。

溶解又はエッティング可能な状態から溶解又はエッティング可能な状態(又は逆)に変換される材料は、前面処理構造206において形成される。例えば、UV硬化性エポキシ230は、構造206上に広げられる。このエポキシは、UV光への露出により溶解性でなくなるという特徴性を有する。

材料のUV光透過性マスク剥離層232は、エポキシ230上に形成され、そして開口236を有するパターン化不透明マスク234が層232上に接着される。

マスク234は、UV光を照射され、マスク開口236の下側のエポキシの領域を硬化させ、未硬化状態よりも溶解性でなくする。剥離層232は除去され、そしてマスク234が除去される。次に、未硬化エポキシは、剥離層204(第10B図参照)までの如く、溶剤によって除去される。

硬化エポキシ230は、剥離層204からの分離後、薄膜構造206のための支持物として設立するために、構造上に残される。このように、エッティング前面は、剥離層204までチャネル240をカットすることにより、構造の全頂面領域を小領域に分割することにより増大される。

ウェーハサイズリフトオフのための第2方法は、引き上げられる全幅

208において熱応力を生じさせる。この昇温において、構造は、剥離エッティング液に露呈される(第9C図参照)。

剥離エッティング液は、究極的に、剥離層204を十分にエッティングし、被覆208によって支持した分離素子構造206を除去させる。それから、これらの構造は、熱応力が解放される低温にされ、個別素子を統く裏面処理に対して平坦にさせておく。

このプロセスは、個別チップを裏面処理に対して平坦にさせ、支持構造が裏面処理温度に対して、不透過性のガラスの如く材料から形成されることにおいて、Gmitter他の露ワックスプロセスに対する大きな利点を設ける。

2つの異なる手順が、ウェーハスケールリフトオフを達成するために使用される。第1方法は、転移される膜が形成される全基板のエッティングに係わる。これは、「エッチャック」手順と呼ばれる。

第2方法は、ウェーハ又はサンプルのみの縁から剥離層にアクセスし、一つの大きなシートとして材料を剥離する。この第2方法は、同一ウェーハから引上げられた素子間にレジストレーションを必要としない場合に對してである。登録が望まれないならば、自動化手順が、個別素子の大領域又は材料の領域のリフトオフに對して使用される。前面処理が完了した後、UV硬化エポキシが、所望のパターンで硬化され、不要な場所を除去され、それから、剥離層までのエッティングのためのマスクとして使用される。UV硬化エポキシは残され、分離膜の引上げられた膜のための支持物として作用する。分離素子は、エッティング液から回収される必要があり、選択及び場所種別方法を使用して、弱めに処理される。

これらの代替的なリフトオフプロセスは、第10A-10E図に開示

域を小領域に分割することにより、エッティング前面の量を増大させる。チャネルが、引き上げられる材料の全領域にカットされ、これにより、剥離層を露出させる。これらのチャネルは、領域を完全に分離するか、又はリフトオフ領域に部分的に切り込むスリットから成る。

第2方法は、互いに面して材料の小領域を登録し、同時に、露出された剥離層への大きな接近をエッティング媒体に許容しようとする問題を扱う。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、及びエッティング前面の小領域と最大露出による短いリフトオフ時間が許容される。このアプローチの重要な特徴は、すべてのエッティング前面へのエッティング溶液アクセスを設けながら、全ウェーハ領域のレジストレーションを許容することである。

素子間のレジストレーションが、トランジスタの配列における如く必要とされる場合に、第10C-10E図の代替的実施態様のリフトオフ方法は、多數の利点を設ける。

第10C図のこの代替的プロセスは、互いに面して小素子又は材料のピクセル領域を登録し、同時に、露出剥離層へのエッティング媒体アクセスを許容しようとする問題を解決する。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、小領域と最大エッティング前面による短いリフトオフ時間が許容される。このアプローチはまた、すべてのエッティング前面へのエッティング溶液アクセスを設けながら、全ウェーハ領域を通じて素子のレジストレーションを可能にする。第10C図を参照すると、ウェーハの矩形部分区分が示される。ウェーハは、剥離層204がCVDによって堆積された半導体基板202から形成され、続いて前面処理トランジスタパネル206によって従われ、

すべては前述の如くである。

未硬化波エポキシ250の如く、塑形可能な材料が、図206の頂面又は底面に広げられる。未硬化波からなる底面は、プラスチックの如く透明材料の多孔ブレーナー波子252が、エポキシ250の頂面に位置させられる。次の段階において発生する。波子252は、波子252の平面に直角に平面を貫通している。

波子252を図うように並列された不透明256を有するファトマスクが、それから、波子252上に形成される(図10C図)。(オプションのUV透明マスクの内側(不透明)が、マスク除去を容易にするためにマスク258と波子252の間に形成しても良い。)UV光は、マスクに反射され、図10D図に示された如く、不透明256の下を除いてすべての場所で下面エポキシ254を硬化させる。この場合エポキシ250の硬化区分は底面区分で示され、未硬化区分はブランクで示される。マスク258は除去される。未硬化エポキシ250は、適切な接觸によって開口256から除去され、図206は、開口を通して開口204までエッティング除去される。それから、開口は、上で受けられた如く、開口256を使用してエッティング除去される。エッティング液のアクセスは、こうして、ウェーハの多孔の点において形成され、並列が硬化エポキシ254によって波子252に付着される(図10E図参照)。

レジストレーションへの別のアプローチは、開口204上でエッティングすることにより電子材料において直接にチャネル260を形成し、これにより、材料のみにチャネルを形成することである(図11A図)。これらのチャネルはまた、図9のUV硬化エポキシパターンニング方法を適用し、開口204までエッティングすることにより(図11B図

に良好に作動する簡単な方法は、ファトレスマスキングによって材料206において直接にチャネルを形成し、続いて、開口204までエッティングすることである。これは、開口の上の材料の高さに等しい材料においてチャネル260を形成する。次に、エッティング液は、引き上げられる口の表面に沿かれ、あるいはウェーハが、エッティング液に没される。いずれにせよ、引き上げられる開口206の底のチャネル260は、エッティング液材料で充填される。これが行われた後、リフトオフの段レジストレーションを開始する上口支持口は、液体に充填された貼合せ方法により開口206の前面に付着される。上口支持口は、材料206に固定され、一方、ウェーハは設され、あるいはエッティング液は、ウェーハの前面を向い、チャネルを充填する。支持材料は、形成されたチャネルをふさがず、これにより、エッティング液を押し出さないほど十分に開口でなければならない。適切な支持材料は、ガラス、プラスチック又は他の光透過性物質を具備する。これは、エッティング液アクセス穴を必要としない固体支持物を許容し、こうして、プロセスを容易に簡略化する。

トラップされたエッティング液は、開口204を十分に溶解させ、その結果、開口206は、表面がよく処理、すなわち、表面が体積変化とポンディングパッドの形成のために露出され、支持物によって支持かつ設置される。上記の支持材料のほかに、小形電子を取り扱うために開口において非常に公知なUV剥離テープが、数つかの理由のために設けた支持装置であることがわかった。これらのテープは、強いUV放射時に露出された時、支持力をほとんど失うという特性を有する。さらに、墨気は、接着剤に開口を与えるものではなく、そして被

参照)、又は図11C図の平面図に示された如く、分離される領域270の間にチャネル260又はアクセス路を形成する他の方法を使用することにより、より高くされる。支持物280は、チャネル260上の材料270に取り付けられ、それから、エッティング液が、チャネルに沿って流れ、これにより、ウェーハの中心へのエッティング液のアクセスを与える(図11D~11E図)。高いチャネルは、高圧側面を有するため毛口作用を加減するために設立つ。真空側面、超音波側面、等を含む他の方法もまた、チャネル260でのエッティング液の移動を加速するために使用される。

同一面に沿って、チャネル260は、下の開口口を露出させるために電子材料において作られる。それから、多孔性材料が、スピンドルで、あるいはそうでなければ、前面に形成又は押出される。この材料は、UV、熱、又は擦過処理により硬化された時、開口又は半開口であり、このため、基板からの分離が、引き上げられた口を密封することができる。材料は、エッティング液によって吸引的に作用されずに、エッティング液を吸引するために十分に多孔性である。このようにして、エッティング液は、多孔性材料を通過し、露出点において開口口へのアクセスを与えられる。

別の実施段階において、開口口エッティング液は、下口支持口206に取り付けられる前に、開口口と接觸される。このプロセスが作用するためには、チャネル260は、エッティング液がトラップされる、引き上げられる材料の電子又は液体の口に形成されなければならない。基本プロセスは、次の如くである。チャネル260は、基板202において開口204を露出させるリフトオフ開口206の間に形成される。これは、電子間にチャネルを作成する前述の方法により行われる。非常

に設されたとしても、良好に空気充填される。これらのテープは、单層で、又は厚い支持物と組み合わせて使用される。この付加支持物は、耐久的でないならばUV放射時に透過性の材料から形成され、そしてそれは、使用されるエッティング液によって吸引的に作用されるべきでない。

UV剥離液は、テープ直張り材料の代わりに、他の支持材料に直接に塗布される。図12A~12C図に示された如く、両面UV剥離テープ282と組み合わせた支持物280が、使用される。テープ282の一方の面が、支持物に接觸される。それから、他方の面が、エッティング液が塗布された後、開口206の前面に接觸される。それから、エッティング液は、電子206をアンダーカットすることを許容される。電子は、図12A図に示された如く、支持物280に開口テープによって付着される。リフトオフ時間は、エッティング液がウェーハ表面における多孔の点から開口へのアクセスを有するために、非常に短い。

このように、電子は、相互に接觸して接觸され、そして表面処理中支持物280によって支持される。

テープの剥離力は、支持物を剥離したUV剥離によって開口され(図12B図又は図12C図)、そしてテープは、電子を剥離したまま、キャリヤ280から取り外される。いっそこのUV剥離は、電子を真空空間によって除去させ、又はテープから離れたテープ284又は凸状288(図12B図又は図12C図)又は他の媒体に接觸するエポキシ286に直面に露出させるために十分な屈曲度で、テープへの電子の剥離力を減少させる。0.5cm幅の分離領域が、この非円曲方法によって引き上げられた。引き上げられ、同時に露出される全ウェーハサイズは、ウェーハサイズによってのみ制限される。

示された如く、代官的実施意図は、UV硬化接着性テープとエポキシの应用に依る。接着剤は、印面トランジスタとCMOS回路記述をガラスに貼合せるために使用される。接着剤は、14" x 14" 以上の板に塗布される。塗布方法としては、スピンドルコーティング、電気放電、スプレー、必要な一様性と光学品質を保てるための印面印面塗布プロセスが挙げられる。

別の好ましい実施意図は、回路パネルにおいて密接な印面でない位置に密接な印面の電子を貼合する方法を含む。印13A図、印13B図と印13C図に示された技術は、電子が正しく印面付けられるまで、伸縮性テープ又は印の引き伸ばし又は収縮を使用する。この技術はまた、印面のリフトオフ手順、及び相似の方法又は引き伸ばしと相反の方法の組み合わせを含む。商業的に利用可能な電子は、印の引き伸ばしを正確に印面するため印面に使用される。印成印面の適正なレジストレーションを保てるために印面伸ばし及び印面中、電子の印面を固定するために、多様な方法が使用される。

印面300に印面して印13A図に示された如く、トランジスタ又は印面半導体印面の配列304が、伸縮性基板302に貼合された。トランジスタ又は印面304は、上記の手順により、又は他の適切な手順を使用して、印面かつ貼合された。基板302は、接着剤を露口する。

第1実施意図において、前述は、印13B図に示された如く印306に沿って引き伸ばされ、これにより、印306に貼った印子304印の印面308を拡大させ、別の方向において印子印の印面310を同一にしておく。それから、基板302は、印13C図に示された配列を生成するため印314に沿って引き伸ばされ、ここ印合印子304は、一

る印子を発生させるように印面付けられる。印面印358は、印子304の印の印面が正確に固定される如く、基板354に印するビーム352の移動を相間させる。印面印358は、印子の印面又は列の印面に印面が行われる如く、引き伸ばし印360に印気的に印合される。

引き伸ばし印360は、基板364が印口された印を印して印されるピストンから成る。基板354に対して印を印したピストンの移動は、印子304印の印面を拡大させるために正確に規定された方法で基板354を引き伸ばす。

代官的に、印面に沿って基板を把持し、適切な方向に印面を正確に引張る、印15図に示されたものと同様な引き伸ばし印が印合的に入手可能である。

引き伸ばし印、印合された印子は、ガラス、ポリエチレン又は発光（LCD）作成用の他の適切な印面に貼合される。代官的に、印子は、ディスプレイ作成用の発光印子に取り付けられる。

前述の如く、他の好ましい実施意図は、エレクトロルミネセント印、発光ダイオード、多孔性シリコン又はディスプレイの各ピクセル要素を形成するための発光材料の如く、発光性材料を使用する。そのために、本発明の別の好ましい実施意図は、印16A図におけるエレクトロルミネセント（EL）パネルディスプレイの印記印において示される。ELディスプレイの基本印成印子は、アクティブマトリックス回路パネル414、底部印面印423、エレクトロルミネセント印416、頂部印面印417、及び光活性印面印419を含み、これらは、印化構造において固定される。EL印416は、2つのプレーナー印面印417と423の間に印口付けられ、EL印416を印った印面を印合的に印成する

方の印面において印面308を有し、印合する方向において印面312を有する。

別の実施意図において、印13A図の印面300は、印13C図に示された配列を設けるために、方向306、314において印面に引き伸ばされる。

印合的技術は、印14A図と印14B図に示される。テープにおいて印子320のリフトオフ配列で開始される。このテープ322は、印326に沿って左右に、印328に沿って上下に移動するフレーム324に印される。たわみ性テープ334を有するドラム330は、その印面に印される。それから、印子340が、印子324に印し出され、印子の印1行をドラムテープ334に押し出す。ドラムテープ334は、必竟な印面において方向332において印口付けられ、印び、印子340は、印面338の印子の印2行をテープ334に押し出す。これは、すべての行が貼合されるまで繰り返される。印子336の印を有する印1ドラムテープ334は、フレーム324に印えられる。同一印作は、行を折るドラムテープ339に移動することにより印けられる。

別の実施意図は、一方の印面においてテープを引き伸ばし、これを別のテープに貼合させ、他方の印面にそのテープを引き伸ばし、そして印子を印合実施印に貼合することである。この方法は、小形の印合印子に対して十分に適する。

貼合又は印合基板において印子304印の印口を印定するためのシステムが、印15図に印合的に示される。レーザー350は、基板354の印面にビーム352を印向させ、印を印合する。センサー356は、印合及び/又は反射光を印出し、ビームが印子304によって印向され

ことにより、印合的印気印合を防止し、そしてまた、印冠性を印めるために設立つ。印合印417と423は、印口印合状を有し、その結果として印合印417において印子印を生成することを必要とされる印合界において有効である。ディスプレイの印合印416は、各印口印に印合して印口印合を生成することにより完成される。これらの印合の一方は、ピクセル配列422内に形成され、そして他方の印合は、先にディスプレイから出させる光活性印合印419である。

印面パネル414に形成されたピクセル422の配列は、印合印面によって印別に印合される。印面は、各ピクセル422が、ピクセル印面と印合419の印合の印のエレクトロルミネセント印416において印見を生ずる如く、印合に印合して印合印416を印見する印合418、420を有する。印見は、EL印合424を印明させる。

エレクトロルミネセント印416は、印色印合ディスプレイを有する好ましい実施意図に対して单一印合印416から印成される。別の好ましい実施意図において、EL印416は、カラーディスプレイを印けるために粒状のパターン化発光印合から印成される。発光印合は、各カラーピクセルが、赤、緑、及び印合光印合を含む如くパターン化される。Eしカラーディスプレイは、印口としてここに取り入れた、Barrow氏への印合印PCT/U88/01680において印示されたELディスプレイ印成プロセスに基づいて印成される。印16B図を印する、各Eしカラーディスプレイ424は、印478、482、印478と印480の如く印一カラーベンズに印合される。

所与のEL印424に対して印一カラーベンズを印明するために、印合印面は、底部印面印462の一つと印明印面印419の間に印見を印成さ

せる。刃沢された照明灯一カラー対応に対して、螢光体の発光中心は、
口昇が既知のしきい値を超過する時、偏光子の流れによって筋を励起さ
れる。それ自身、ピクセル422は、ピクセルグループに対して照明カ
ラーを盛けるために直角的に作動される。

アクティブマトリックスピクセル配列は、ピクセルの電極を斜め口にするために、ディスプレイにおける各ピクセルと同じ場所に位置するトランジスタ（TFT）を使用する。ELディスプレイに適用された中、アクティブマトリックスアローチは、回路パネルにおけるパワー消費の増加とAC共用ドライバーが動作する電圧値の範囲を含む大きな利点を提供する。有益なELアクティブマトリックスの形成は、高圧と高追放で動作するTFTを必要とする。单結晶シリコンは、小形（61n \times 61n以下）のアクティブマトリックスELマトリックスにおいて高解像度を実現するために好適しい。

ELディスプレイにおいて、一つ以上のピクセルが、図1回路に連結された行及び列相互連結により各ピクセルに接続される交換（AC）によって付与される。相互連結によるACの効率的な駆動は、寄生容量によって制限される。しかし、アクティブマトリックスの使用は、相互連結の容量の大きな減少を設け、ピクセル发光体におけるより効率的なエレクトロルミネセンスと高明度を実現するために、両周波数ACの使用を可能にする。本発明により、この利点を受ける TFT は、パルク Si ウェーハ又は島状島又は本質的単結晶シリコンの島の如く、単結晶ウェーハにおいて形成される。これらの高品質TFTは、ELパネルディスプレイにおいて使用され、高輝度と低消費電力を有するとともに、エレクトロルミネセンスのために必要な高圧レベルをサポートする。

ランジスタ X 1 におけるゲートが、ソース上のしきい電圧まで上昇されるならば、電流が、正 A C 駆動パルス中、トランジスタ X 1 を通って流れれる。分路ダイオード D 1 の存在は、ゲート電圧に拘わらず、逆方向に電流を流れさせ、その結果、高ゲート電圧により、電流は、正及び負電圧中、トランジスタ X 1 を通って流れれる。このため、EL 口 4 2 9 は、励起されており、そしてゲートが高に保持される限り、駆動されるゲートが低、すなわち、しきい電圧 V_t よりも低い電圧に保持されるならば、トランジスタ X 1 は、正駆動パルス中通路しない。こうして、EL 口 4 2 9 は、一辺の負パルスを受け、第 1 位パルス中パルス口位まで待図し、ダイオード D 1 の吸流作用により正パルス中放電を防止される。このため、單一駆動回路の邊、EL 口 4 2 9 は、全電圧と隔離キャバシタ 4 2 6 b と 4 2 6 c が一定にとどまるために、受身にとどまる。

図16C図に戻ると、回路425の第2のユニークな特徴は、2つの電極のみで倒凹されることである。第2の特徴は、ロテチャネルMOSトランジスタ421aとダイオード428の使用を通して、本発明において達成されるものである。ダイオード427は、右方向又は垂直右方向として作図され、全面又は拘束性をあまり付加しない。ダイオード427は、NMOSトランジスタ421aが対称素子であるために必要とされ、回路とディスプレイを不作動にする照明期間中、キャパシタ428を放電させる。

回路425の性能を保証するために、回路分析が行われた。回路425は、まず、分析において低信号を回路413(0ボルト)に印加することによりキャパシタ426aを充電させ、それから、(この分析において0.5~2ボルトの範囲において)所望の印加にデータ回路411

呼ましい実施最初において、 SiO_2 において形成した電極シリコンは、ELディスプレイを駆動するために必要な凸圧回路の形成を許す。さらに具体的には、ISEプロセス又は他のSOIプロセスによって形成された初期単純シリコンは、TFTのための凸圧D MOS回路とともに、ドライバーと他の駆動機能のための低凸圧CMOS回路の作製を許す。

EL 単色ディスプレイを制御するためのDMOS/CMOS回路部構成が、第16C～16D図に示される。各アクティブマトリックスELピクセル回路425は、それぞれ、CMOS及びDMOSトランジスタ(TFT)421a、421bを含む。キャパシタ426a、426bと426cは、AC-EL制御において印加存続する寄生及び阻止キャパシタを実現する。その初期な外因に拘わらず、各ピクセル回路425は、最大1000口/インチのピッチ密度できえ、ピクセル口の小部分のみを真正に占有する。EL単色ディスプレイのための回路回路は、同軸化の目的のみのために示される。ELカラーディスプレイに対して、各ピクセルの駆動回路は、亦、又は白色LEDを駆動するために選択的に作成される3つのピクセル回路425を具備する。

図16C図を参照すると、ピクセル回路425の2つのユニークな見込みがある。図1は、回路回路の出力におけるDMOSトランジスタ421bの使用により、ELディスプレイが428におけるAC電圧信号で駆動されるものである。この時は、DMOSトランジスタを駆動することにより認められる。

第16D図を参照すると、DMOSトランジスタ421bの等価回路が、分路ダイオードD1を有するNMOS電子X1を含む。NMOSト

を上昇させることにより動作する。充電シーケンスの4、キャバシタ426aは、データ及び選択信号レベルの間の差にはば等しい印加からダイオード427の頂印加陛下を差し引いた印加まで充電される。出力トランジスタ421bをオンにするために、選択線413は、最初に、約1ボルトまで増大され、そしてデータ線411は、-2ボルト-0ボルトにランプされる。出力トランジスタ421bは、キャバシタ426bに充電された印加に正比する時間に対してオンのままである。このようにして、グレースケールが、回路425によって記憶される。

好ましいELディスプレイ忍耐プロセスは、单結晶シリコン膜の形成、シリコン膜におけるアクティブマトリックス回路の作成、及び発光性要素を形成するためのEL材料の一一体化を含む。そのために、図17A～17K図は、シリコンオン绝缘体(SOI)膜を形成するための分層シリコンエピタクシー(LOSE)プロセスとともに、回路パネル回路を形成するためのLOSE膜における高圧DMOS様子と低圧CMOS様子を作成するためのプロセスを示す。なお、LOSEプロセスが示されるが、任意の段の技術が、図16品51の両側を区切るために使用される。

又17A図に示されたものの如く、SIO₂初期は、凸板430と、凸板430上に成長又は接着された（例えば、SIO₂の如く）四化物432を含む。多結晶シリコン膜は、四化物432において接着され、そしてボリSIO₂は、（例えば、SIO₂の如く）キャッピング図436でキャップされる。初期は、端点の近くまで加熱され、そして高い可塑性片加熱回（第4図）が、ウェーハの頂面上を検査する。加熱回は、四化物の間にトラップされたシリコン口を溶融させ、再結晶させ、全領域草始品シリコン回434を生ずる。

シリコン434の凹凸部凹口は、こうして、酸化物(又は絶縁体)がSi表面の下に埋め込まれる如く、酸化口432上に形成される。I-S-E-S-O-I构造の場合に、キャッピング口が除去された後、顶部口は、本質的導体の導体化シリコンであり、これからCMOS回路が作成される。埋め込み凹口体の使用は、従来のパルク材料において見られたよりも高次の電子を放ける。150万を越えるCMOSトランジスタを含む回路が、I-S-E材料において成功裏に作成された。

図17B図に示された如く、シリコン口434は、各ピクセルに対して別アイランド437、438を規定するようにパターン化される。それから、酸化口435が、アイランド437と438の間のチャネル448を含むパターン化凹口上に形成される。ワインウェルは該プロセスが、p及びnウェルを形成するために使用される。nウェルを形成するために、酸化ケイ素アイランド439が、pウェルであると指定されたアイランド438を分離するために形成される(図17C図)。残りのアイランド437は、残りのnウェル441を形成するためにn形ドーパントを注入される。nウェルを形成するために、酸化口442が、p形ドーパント443からアイランドを分離するためにnウェル上に成長され、そして酸化ケイ素アイランドが、除去される(図17D図)。部分口アイランドが、nウェル446を形成するために、n形ドーパント443を注入される。ワインウェル形成において、酸化口が、酸化凹口を形成するために、シリコンアイランド441と444の表面に成長される。さらに目的的には、酸化口446は、比較的均一な大きさまでエッチングされ、そして酸化ケイ素アイランド447が埋められる(図17E図)。次に、單口化段が、早いLOCOSフィールド酸化

ールド酸化物上のポリシリコンゲートとフィールド酸化物の間の互り口である。DMOS電子における凹凸部凹口はまた、これらのパラメータの互りの間隙であるとともに、電子の全サイズの間隙である。好ましい実験回路は高密度配列(1Mピクセル/ in^2)を含むために、ピクセル面積と、このため、トランジスタサイズは、できる限り小さく保持される。

図17F図を参照すると、回路パネルは、順次的に基板430から除去され、E-L发光体を形成したガラス板431に移設される。除去プロセスは、前段階において記載された如く、CEL、CLEFT、又はバッタエッティング及び/又はラッピングを具口する。

図18A～18D図は、エレクトロルミネセントカラーディスプレイの作成プロセスの詳細を示す。前述の如く、この作成プロセスは、金属としてここに取り入れた、Barrows板への露出出口PCT/US 88 01680において開示されたE-Lカラーディスプレイ形成プロセスに基づく。E-Lディスプレイ形成プロセスは、銀色又はカラーディスプレイであろうと、発光性凹口スタックの間の逐次堆積を具口する。堆積凹口は、各カラーピクセルが、赤、白、及び青発光部堆積を含む如くパターン化される。赤色は、銀成分のみを埋めるために、白色ZnS:S:Mn電光体凹口でろ過することにより得られる。及び白色電光体堆積は、所望のスペクトル領域における発光のために、Mn以外の成分を有する。

E-Lディスプレイの第1層は、遮断電極である。好ましいE-Lディスプレイ形成プロセスにおいて、遮断電極は、凹凸回路においてトランジスタのソース又はドレイン單口化を具口する。この凹口は、E-Lパネル

周領域451の間に活性領域450を形成するために、シリコンアイランド441と444の表面の回りに成長される(図17F図)。それから、ポリシリコンは、高圧DMOS電子のゲート453と低圧CMOS電子のゲート454を形成するために堆積され、パターン化される(図17G図)。なお、DMOS電子のゲート453は、フィールド酸化物凹口451上の活性領域450から延びている。活性領域450上のゲート453の凹口は、pチャネル位置のための拡張凹口として使用され、フィールド酸化物凹口451上のゲートの部分は、ロウェルドリフト凹口において電界を指向するために使用される。

チャネル位置において、pチャネルとpチャネルソース456、459とドリフト凹口457、460が、ヒ添とホウ素の注入を使用して形成される(図17H～17J図)。次に、ポロフックスファロシリケートガラス(BPSG)フロー凹口458が、形成され、そして凹口が、DMOS電子のソース456、ドレイン457とゲート453とともに、CMOS電子のソース459とドレイン460に位置するように、BPSG凹口458を通過して形成される(図17K図)。さらに、アルミニウム、タンゲステン又は他の適切な金属のパターン化凹口462が、電子を他の凹凸部堆積を形成するために導入される。好ましいプロセスは、9つのマスクを具口し、高圧DMOS電子と低圧CMOS電子の作成を許容する。

DMOS電子の高圧の凹口は、凹口の互りの次元とともに、形成されたpチャネル及びpチャネルドリフト凹口のドーピング凹口による。互異な物理的次元は、nウェルドリフト凹口の長さ、活性凹口におけるポリシリコンゲートの凹口下のフィールド酸化物の層の凹口、及びフィ

の発光効率を増大させるために、所望の放電の高反射のために表面化される。図18A図を参照すると、作成プロセスは、底部絶縁体423の堆積で始まり、好ましくは、回路パネル414のアクティブマトリックスの金属凹口を引く。第1カラー電光体凹口476は、アクティブマトリックス上に堆積され、パターン化される。第1エッチストップ凹口477が堆積され、そして第2カラー電光体凹口478が、堆積され、ストップ凹口上にパターン化される(図18B図)。第2エッチストップ凹口479が、堆積され、第3カラー電光体凹口480が、堆積され、第2ストップ凹口上にパターン化される。

図18C図を参照すると、パターン化電光体凹口416の配列は、頂部電光体凹口417で堆積される。2つの電光体凹口417と423は、頂部電光体とアクティブマトリックス回路パネルの間の辺縁部を引出させ、そしてまた、外縁辺縁が周辺凹口に作られる目的から材料を露出するためにパターン化される。酸化インジウムまでの如く光透過性材料から形成した頂部凹口419が、堆積され、頂部電光体凹口417上にパターン化される(図18D図)。頂部凹口の堆積は、電光体凹口416とアクティブマトリックス回路414の間の回路を完成するためには設立づ。それから、赤フィルター482が、堆積され、赤ピクセル上にパターン化され、又は代替的に、カバーが使用されるならば、シールカバー板に埋め込まれる。赤フィルター482は、所望の赤色を生成するために出力されたZnS:Mn電光体(赤色)の所望の赤部分を通過させる。

代替的に、E-L凹口スタックは、アクティブマトリックス回路パネルが、前述の低吸収プロセスによって形成されるガラス又は他の基板上に形成される。さらに別のオプションは、ヘルメット鏡をびさしの凸凹

最大25ミルのウェーハと4000Aの深い酸化物が、このプロセスを使用して成功してエッチングされた。代官的なエッチング法は、異なるエッチング抵抗性を有するヒドロゲンである。

ガラス512に形成された凹部514は、水洗いされ、乾燥される。回路511内に残されていないならば、真西回路が形成される。また、所望ならば、これは別の基板に転写され、そしてガラス上にエッチングされ、後に回路形成のためにウェーハの前面へのアクセスを許容する。

図20A～20B図は、GeSiが中間エッチングストップ口として使用される、代官的なシリコン表面転写プロセスを示す。図20A図を回すと、このプロセスにおいて、シリコンバッファーポート526が、公知のCVD又はMBE成長システムを使用して、厚さ500nmのシリコン528において形成され、続いて、深いGeSi524と深い酸化物シリコン532が形成される。それから、これは、TFT又はピクセル502の如く回路を形成するために前記の方法でICが形成される。次に、凹部ウェーハは、エポキシ接着剤を使用して、ガラス又は他の支持物680上に取り付けられる。エポキシは、開口部によって形成された空げきを充填し、前面を上部680に鏡像させる。

次に、厚シリコン528とシリコンバッファーポート526は、GeSi524に形成しないKOHで、エッチングすることにより除去される(図20B図)。最後に、シリコン524に形成しないGeSi524が、選択的にエッチングされる。

面の如く、別の材料への回路パネルとEL STACKの両方の転写を具备する。

立地基板から異なる材料へのシリコンの凹部を転写かつ鏡像させるための好ましいプロセスは、図19A～19B図に示される。このプロセスは、凹部シリコン(図17A～17B図)又は全ELディスプレイ(図18A～18B図)において形成した回路パネルを転写させ、かつガラスの如く異なる材料又は材料の凹曲面に接着するために使用される。

図19A図を回すと、開始段階は、酸化物516と单結晶シリコン514の凹部が、ISE又はCLEFTの如く前述の技術の任意を使用して形成されるシリコンウェーハ500である。ピクセル凹部、TFT、ドライバーと沟部凹部の如く形成の回路511が、凹部シリコン514において形成される。それから、SOI処理ウェーハは、粒状物520を使用して、ガラス又は他の透明性物体又は材料の凹曲面の如く上部512に接着される。

それから、ウェーハは、洗浄され、そして自燃酸化物が、凹部512からエッチングされる。ウェーハは、液体(KOH又はHF酸)に入れられる。エッチング液は、酸化物において非常に低いエッチング率を有し、その結果、凸部がエッチングされ、埋め込み酸化物が露出される時、エッチング率は低下する。KOHにおけるシリコンエッチング率対KOHにおける酸化物エッチング率の選擇性は、非常に高い(200:1)。この選擇性は、シリコンエッチングの一端と組み合わされ、エッチャーフローチャートを組成し、その上の深いシリコン凹部514まで貫通することなく、埋め込み酸化物516において停止することを可能にする。

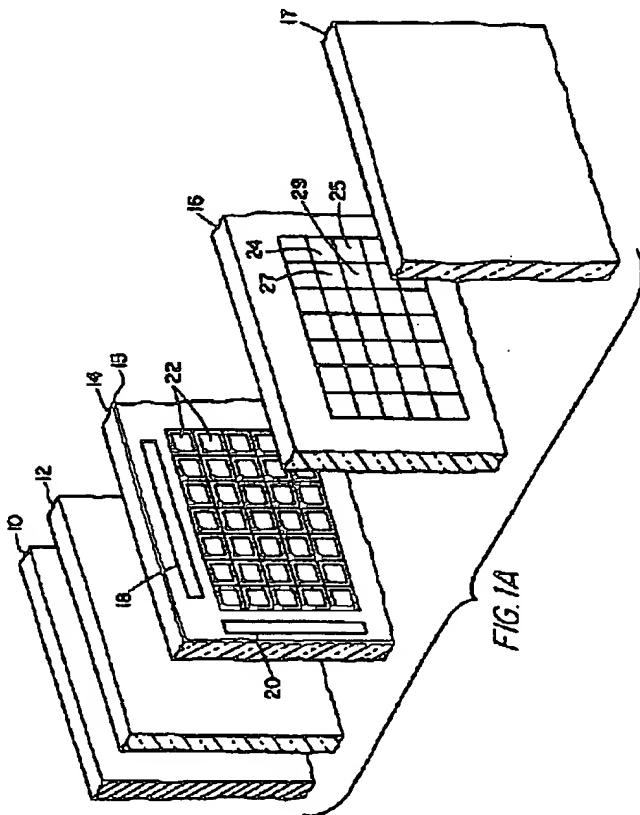
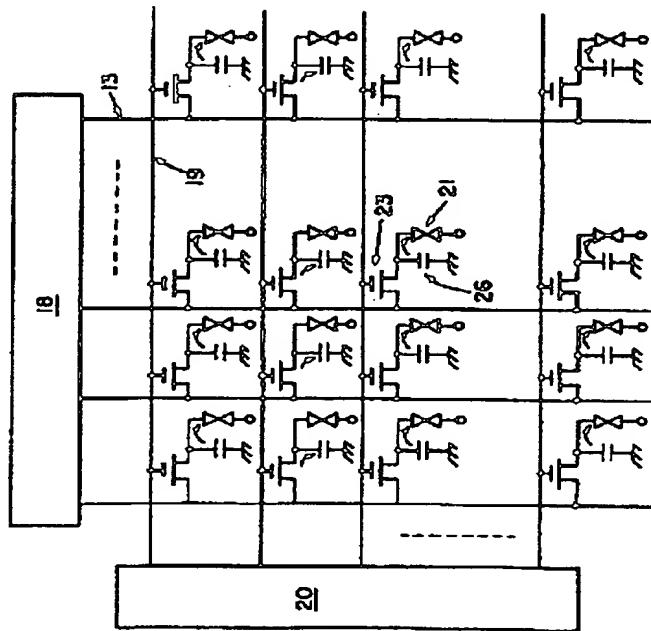


FIG. 19A



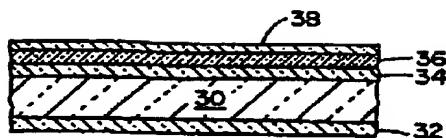


FIG. 2A

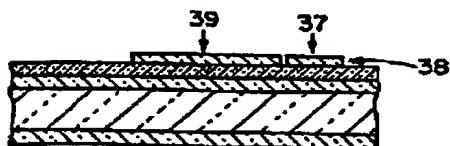


FIG. 2B

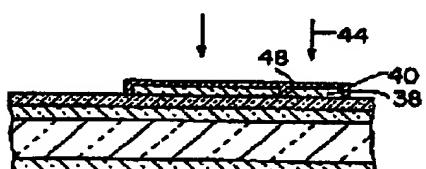


FIG. 2C

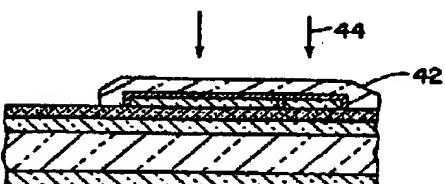


FIG. 2D

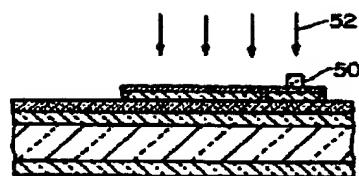


FIG. 2E

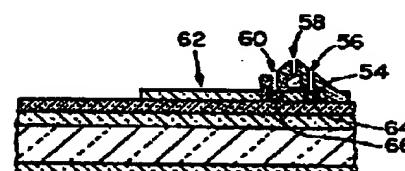


FIG. 2F

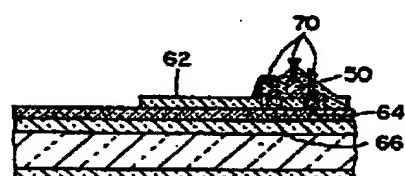


FIG. 2G

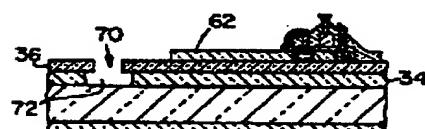


FIG. 2H

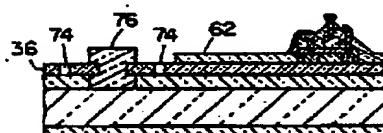


FIG. 2I

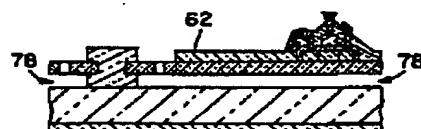


FIG. 2J

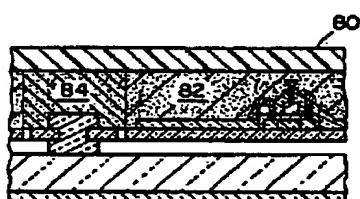


FIG. 2K

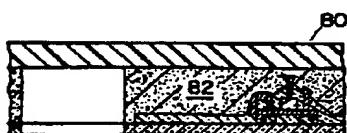


FIG. 2L

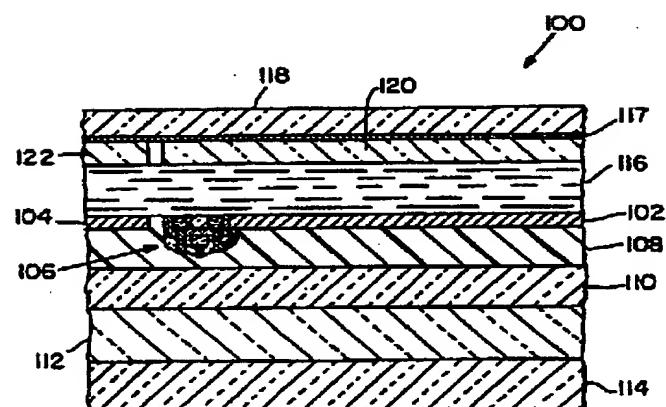


FIG. 3

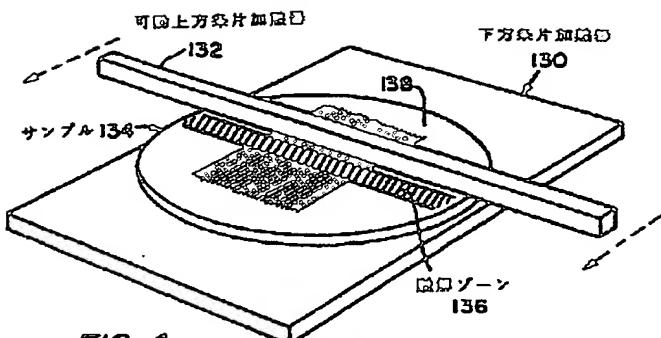


FIG. 4

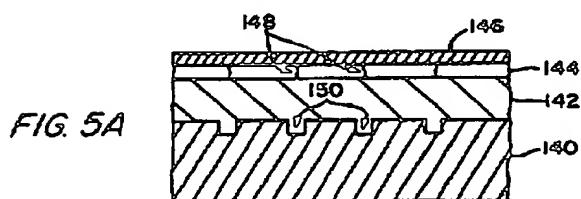


FIG. 5A

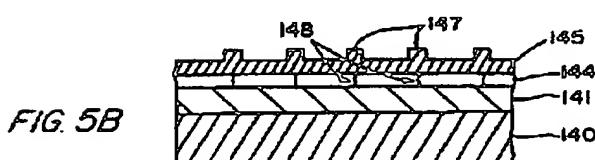


FIG. 5B

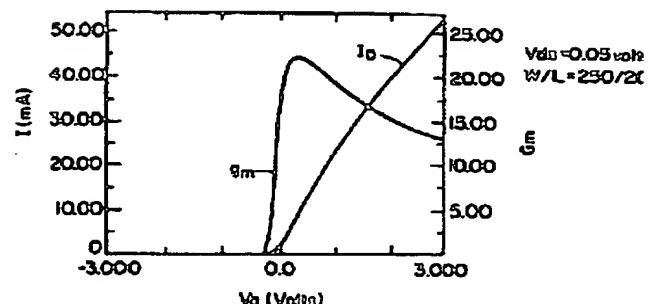


FIG. 6A

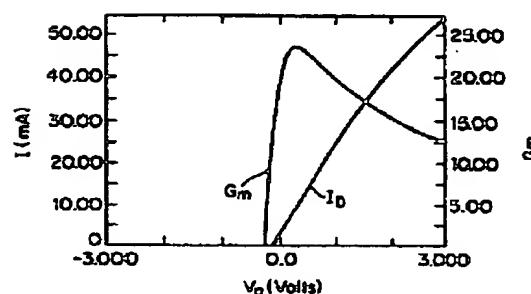


FIG. 6B

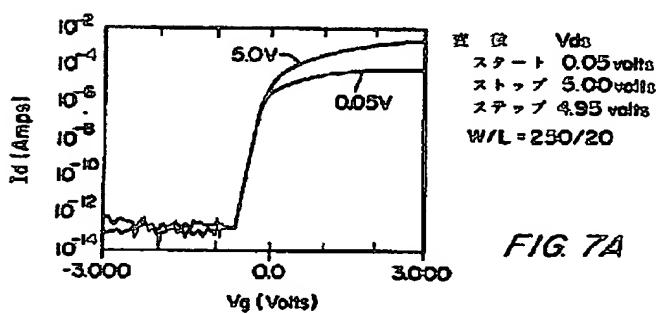


FIG. 7A

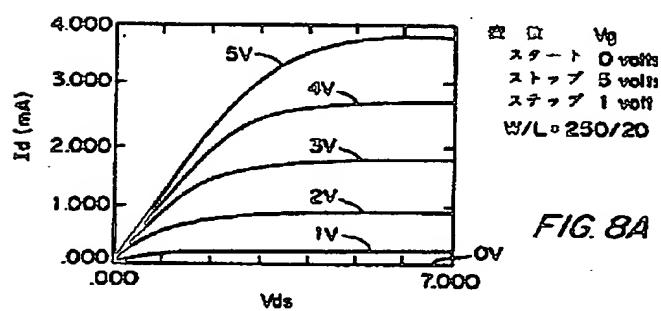


FIG. 8A

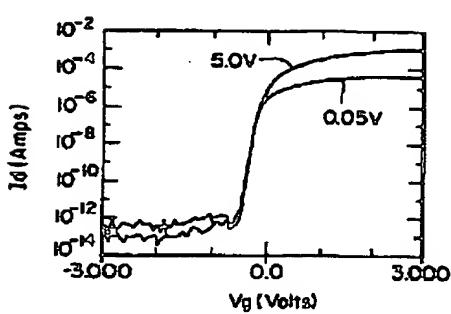


FIG 7B

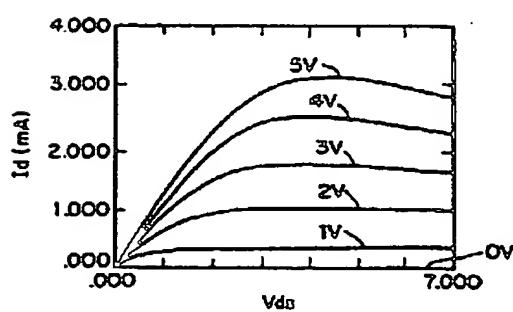


FIG. 8B

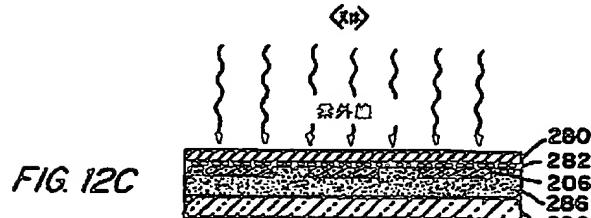
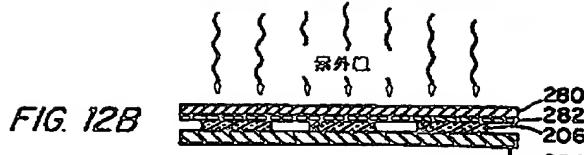
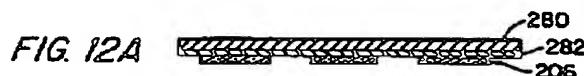
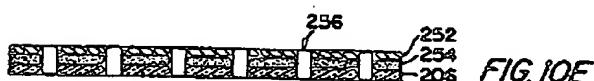
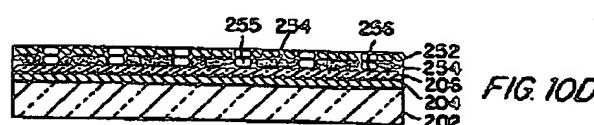
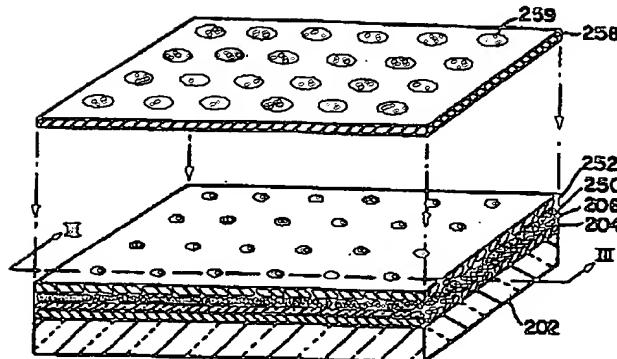
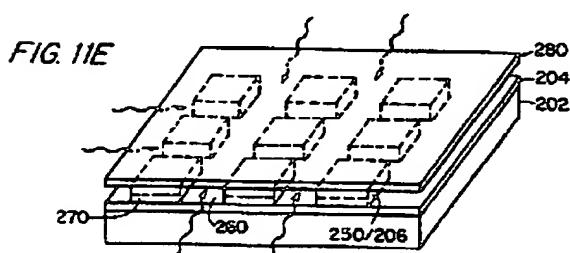
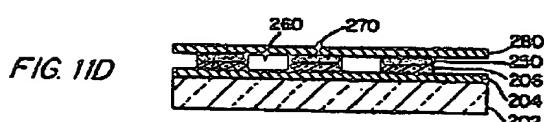
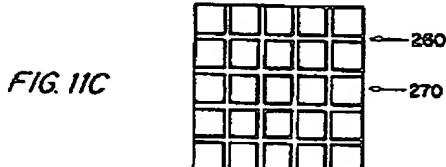
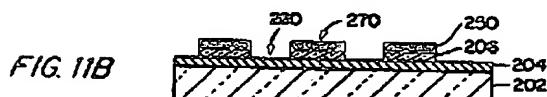
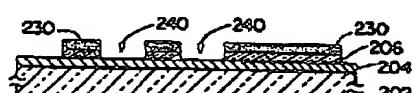
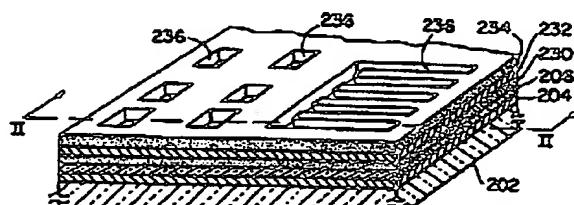
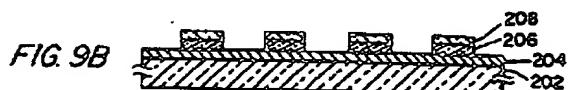


FIG. 13A

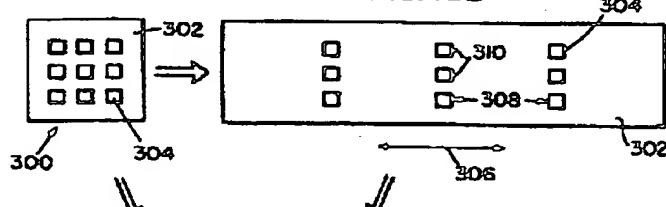


FIG. 13B

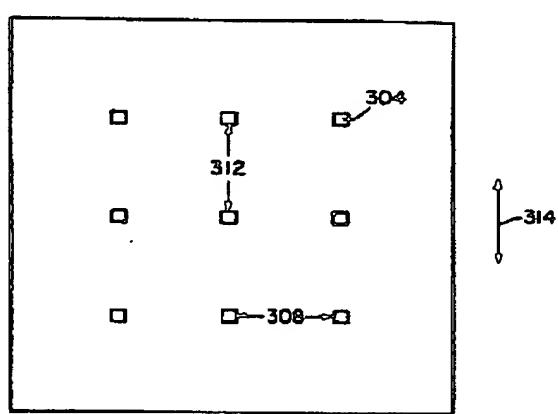


FIG. 13C

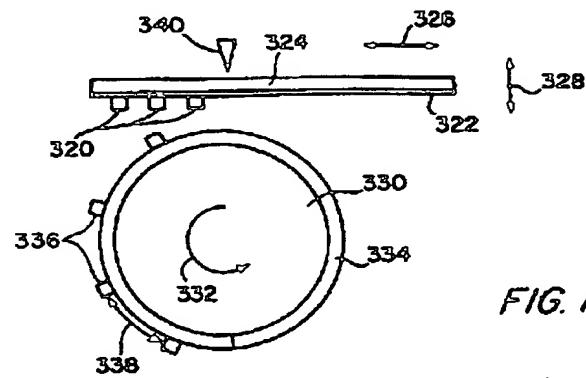


FIG. 14A

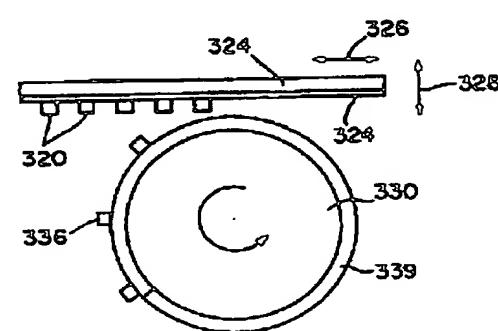


FIG. 14B

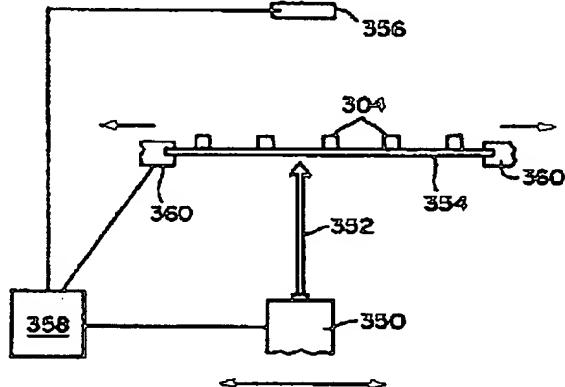


FIG. 15

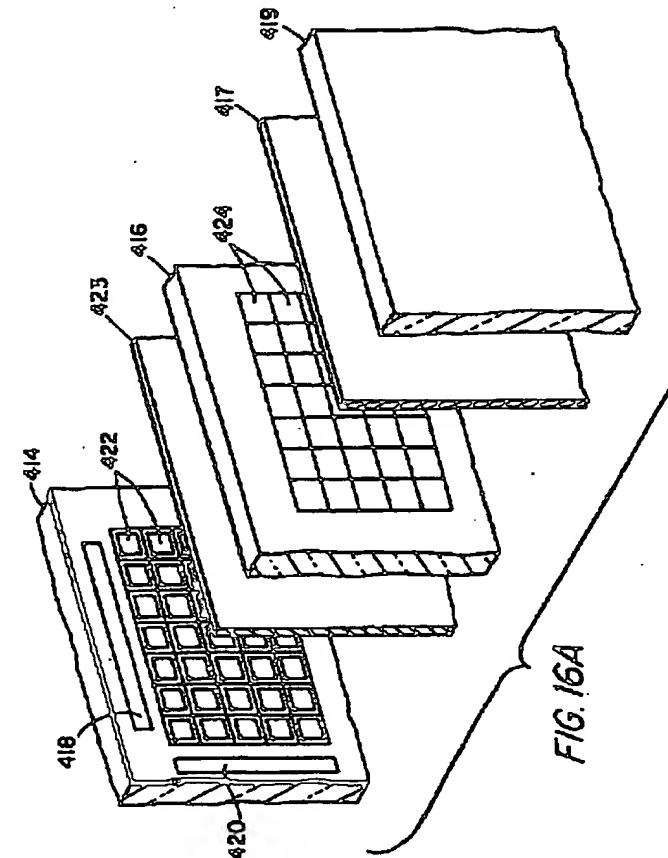


FIG. 16A

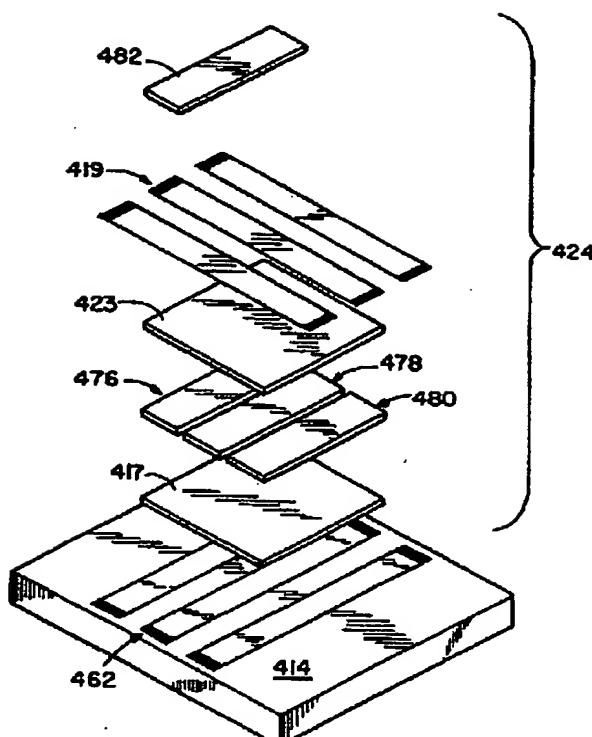


FIG. 16B

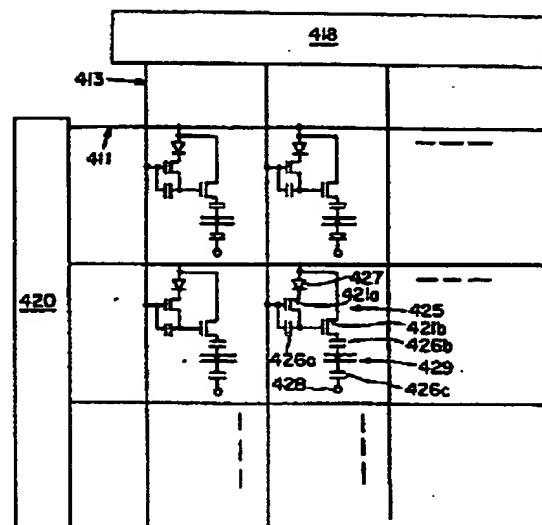


FIG. 16C

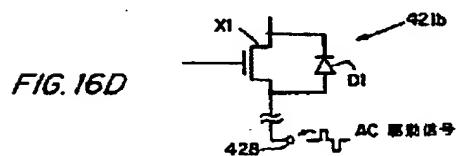


FIG. 16D



FIG. 17A

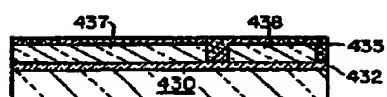


FIG. 17B

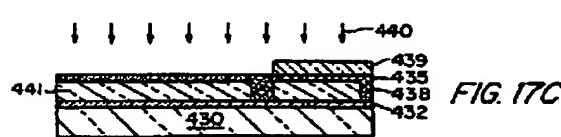


FIG. 17C

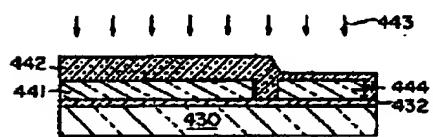


FIG. 17D



FIG. 17E

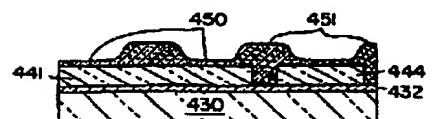


FIG. 17F



FIG. 17G



FIG. 17H



FIG. 17I

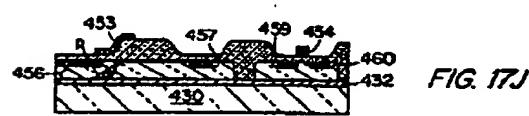


FIG. 17J

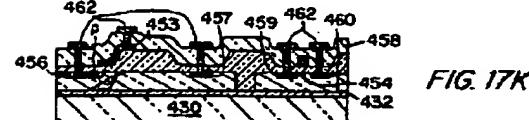


FIG. 17K

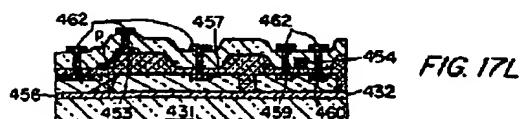


FIG. 17L



FIG. 18A

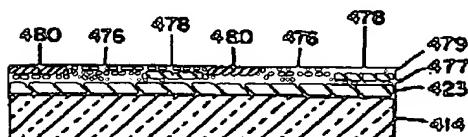


FIG. 18B

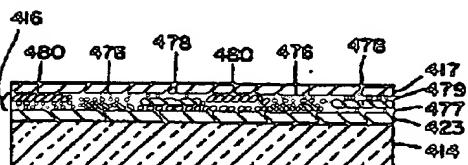


FIG. 18C

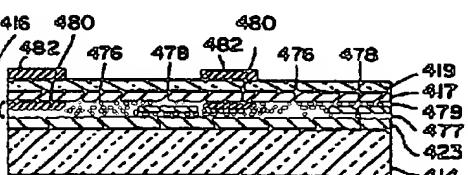


FIG. 18D

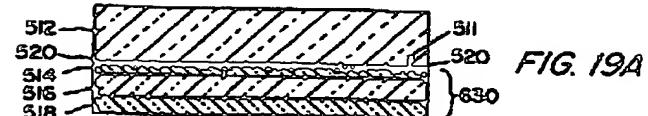


FIG. 19A

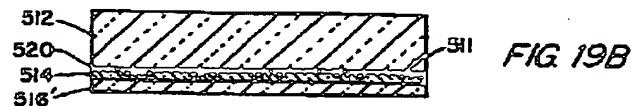


FIG. 19B

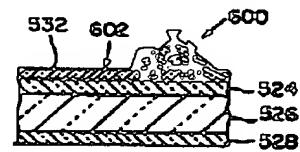


FIG. 20A

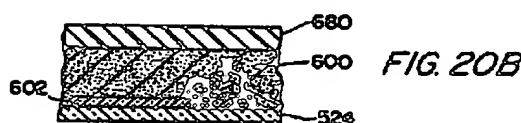


FIG. 20B

初正口の穿し (原訳文) 提出日 (特許登録184号の8)

平成5年6月29日

特許庁長官 麻生 江

1. 特許出図の表示

PCT/US91/09770

2. 発明の名称

表示パネル用の導管品シリコン配列粒子

3. 特許出図人

住所 アメリカ合衆国マサチューセツ州02780トーツン・マイルズスタンディッシュスイングストリアルパーク・マイルズスタンディッシュブルーバード695

名前 コビン・コーポレーション

4. 代理人人 №107

住所 立川市緑区赤坂1丁目9番15号
日本自画平合
氏名 (6078)弁理士 小田山平吉
電話 3585-2258

5. 初正口の提出年月日

1992年12月24日

6. 直付口の目録

(1) 初正口の穿し (原訳文)

図8A図は、ゲート圧が0~5ボルトで変化する、図6A図の穴子のドレイン口圧出力を示す。

図8B図は、ゲート圧が0~5ボルトで変化する、図6B図の穴子のドレイン口圧出力を示す。

図9A~9C図は、発明によるリフトオフプロセスを示す一辺の断面図である。

図10A図は、発明の別の実施例による、リフトオフ処理中のウェーハの部分断面図である。

図10B図は、プロセスにおける負荷板、リフトオフ処理の図10A図の図II-IIに沿って取った断面図である。

図10C図は、レジストレーションが処理される前の実施例において、リフトオフ処理中のウェーハの一部の部分断面図である。

図10D図と図10E図は、リフトオフプロセスにおけるさらに他の負荷板の図10C図の断面の位置を示す。

図11A~11E図は、発明によるリフトオフ手口のプロセスフローにおける各段中のウェーハの断面である。

図12A~12C図は、発明の別の好ましいリフトオフ手口の断面図である。

図13A~13C図は、発明による底の好ましい方法を図口内に示す。

図14A図と図14B図は、発明によるさらに他の底の方法を図口内に示す。

請求の範囲

1. パネルディスプレイを作製する方法において、

- a) 支持基板上の絶縁層において本質的単結晶半導体材料を形成することと、
- b) 表示ピクセルの回路パネルを形成するように、本質的単結晶材料において又は上にトランジスタの固定配列を形成することと、
- c) 支持基板から第2基板に回路パネルを転移することと、
- d) 各ピクセルが少なくとも一つのトランジスタによって作動可能であり、各ピクセル電極によって発生された電界又は信号が光透過性材料の光学特性を変更する如く、回路パネルの表示ピクセルの固定配列において形成したピクセル電極に接続して光透過性材料を位置付けることとを含むことを特徴とする方法。

2. 段階a)が、支持基板において非単結晶の半導体材料を形成することと、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することとを含む請求の範囲1に記載の方法。

3. 本質的単結晶半導体材料を形成する段階が、多数の結晶が、膜を通して複数に並びている平面において、少なくとも約0.5 cm²の断面積に広がる膜を形成することとを含む請求の範囲1に記載の方法。

4. 第2基板が、光透過性基板である請求の範囲1に記載の方法。

5. 各トランジスタが駆動回路に電気的に連絡される如く、本質的単結晶半導体材料において又は上に駆動回路を形成することさらに含む請求の範囲1に記載の方法。

6. 転移段階が、さらに、本質的単結晶材料から支持基板を化学的にエッティングすることを含む請求の範囲4に記載の方法。

15. 本質的単結晶半導体材料が、単結晶シリコンを具備する請求の範囲13に記載のパネルディスプレイ。

16. 本質的単結晶半導体材料が、多数の結晶が、膜を通して複数に並びている平面において、少なくとも約0.5 cm²の断面積に広がる膜である請求の範囲13に記載のパネルディスプレイ。

17. 回路パネルを光透過性基板に固定するための貼合せ材料をさらに具備する請求の範囲13に記載のパネルディスプレイ。

18. 電極が、光透過性材料の層と位置合せされた電極の光透過性配列を具備し、各光透過性電極が、トランジスタの一つに電気的に連絡される請求の範囲13に記載のパネルディスプレイ。

19. 光透過性材料が、液晶を具備する請求の範囲13に記載のパネルディスプレイ。

20. 光透過性材料が、発光性材料を具備する請求の範囲13に記載のパネルディスプレイ。

21. 発光性材料が、エレクトロルミネセント材料を具備する請求の範囲20に記載のパネルディスプレイ。

22. トランジスタが、約5000Hzなしに約10,000Hzの駆動周波数において動作する請求の範囲20に記載のパネルディスプレイ。

23. 駆動回路が、本質的単結晶材料の表面において形成され、駆動回路が、関連トランジスタを作動させることにより、各ピクセルを選択的に作動させることができる如くトランジスタに電気的に連絡され、各作動されたトランジスタに連結された関連ピクセル電極が、光透過性材料に電界を生成させる請求の範囲14に記載のパネルディスプレイ。

7. 転移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲4に記載の方法。

8. 光透過性材料が、液晶を具備する請求の範囲1に記載の方法。

9. 光透過性材料が、発光性材料である請求の範囲1に記載の方法。

10. 発光性材料が、エレクトロルミネセントである請求の範囲に記載の方法。

11. 位置付け段階が、各ピクセルにおいて発生された電界が、光透過性電極とピクセル電極の間にある如く、光透過性材料上の光透過性電極配列を位置付けることを含む請求の範囲1に記載の方法。

12. 本質的単結晶半導体材料が、光透過性基板の溝曲面に転移される請求の範囲4に記載の方法。

13. 支持基板と、

基板に固定され、トランジスタの固定配列とピクセル電極の配列を具備し、各電極が少なくとも一つのトランジスタに電気的に連絡され、トランジスタが、絶縁層における本質的単結晶半導体材料の層において又は上にトランジスタの固定配列として形成されている回路パネルと、各ピクセルによって発生され、光透過性材料に印加された電界又は信号が光透過性材料の光学特性を変更する如く、絶縁層上に電極に接続して位置付けられた光透過性材料と、

ピクセルを作動させるように回路パネルに電気的に連絡された駆動回路とを具備することを特徴とするパネルディスプレイ。

14. トランジスタ配列とピクセル電極配列が、本質的単結晶半導体材料の表面において又は上に形成される請求の範囲13に記載のパネルディスプレイ。

24. 発光性材料が、複数の領域を具備し、各領域が、異なる色において発光する請求の範囲20に記載のパネルディスプレイ。

Category	Character of Disclosure, representation, statement, or information disclosed	Information disclosed	
		Information disclosed	Information disclosed
V	US,A,4 288 223 (FLAME) 5 May 1981 see column 1, line 66 - column 2, line 17; figures 1,2	17,18, 21,22, 27-30, 33,35	
A	US,A,4 722 047 (BOZLER) 23 February 1988 cited in the application see column 16, line 4 - line 40; figures 25		1,2
A	EP,A,0 181 509 (THE SECRETARY OF STATE) 14 August 1985 see page 15 - page 17		3

中華書局影印

US 310977D
EA 6724

This comes from the patient family member related to the patient discussed about in the observational informed consent report. The committee are not connected to the European Patients' Office (EPO) in any way.

プロントページの続き

(72)発明者 マツクレランド, ロバート
アメリカ合衆国マサチューセッツ州02061ノ
ーウエル・パークヒルドライブ50
(72)発明者 ジャコブセン, ジエフリー
アメリカ合衆国カリフォルニア州95023ホ
リスター・テピストレイル501

(72)発明者 ディングル, ブレンダ
アメリカ合衆国マサチューセッツ州02766ノ
ートン・モーガンレイン5
(72)発明者 スピツツアー, マーク
アメリカ合衆国マサチューセッツ州02067シ
ヤロン・ミンクトラツプロード2

()